

腾锐 D2000 系列 处理器数据手册

(V1.1)

2020 年 12 月

天津飞腾信息技术有限公司

www.phytium.com.cn

版权所有© 天津飞腾信息技术有限公司 2020

此文档用于指导用户的相关应用和开发工作，天津飞腾信息技术有限公司对此文档内容拥有版权，并受法律保护

免责声明©天津飞腾信息技术有限公司对本文档内容有解释权，且保留持续修改的权利

当前版本

文件标识	
当前版本	1.1
完成日期	2020.12.30

版本历史

版本	修订时间	修订人	修订内容
V0.2	2020.7.20		完成数据手册初稿
V0.5 draft	2020.8.28		公司内部评审后修改版本
V1.0	2020.12.29		第一个正式公开版本
V1.1	2020.12.30		修正 BGA MAP 结构图

目录

1	简介	1
1.1	技术指标.....	3
1.2	电源管理.....	3
1.3	功能框图.....	4
1.4	温度管理.....	4
1.5	封装.....	4
1.6	处理器可调试特性.....	4
1.7	术语.....	5
1.8	相关文档.....	5
2	接口说明	6
2.1	接口信号说明.....	6
2.1.1	引脚列表.....	6
2.1.2	复用引脚说明.....	16
2.2	DDR4 SDRAM 接口	19
2.3	PCIe 接口.....	29
2.3.1	拆分方式.....	34
2.3.2	AC 电容、校准电阻要求	34
2.4	千兆以太网(RGMII)接口	35
2.4.1	千兆以太网(RGMII)接口信号说明	35
2.4.2	千兆以太网(RGMII)接口电特性	35
2.5	I2C 接口.....	38
2.5.1	I2C 接口信号说明	38
2.5.2	I2C 接口电特性	39
2.6	QSPI 接口	40
2.6.1	QSPI 接口信号说明	42
2.6.2	QSPI 接口电特性	43

2.7	SPI 接口	43
2.7.1	SPI 接口信号说明	43
2.7.2	SPI 接口电特性	44
2.8	LPC 接口	44
2.8.1	LPC 接口信号说明	44
2.8.2	LPC 接口电特性	45
2.9	UART 接口	45
2.9.1	UART 接口信号说明	45
2.9.2	UART 接口电特性	46
2.10	GPIO 接口	46
2.10.1	GPIO 接口信号说明	46
2.10.2	GPIO 接口电特性	48
2.11	SD 接口	48
2.11.1	SD 接口信号说明	48
2.11.2	SD 接口电特性	49
2.12	HDAudio 接口	50
2.13	CAN 接口	51
2.14	WDT	51
2.15	System IO 接口	51
2.16	调试接口	52
2.16.1	总体结构	52
2.16.2	调试功能	53
2.16.3	使用方法	53
2.17	保留引脚	54
3	技术	55
3.1	硬件安全技术	55
3.1.1	密码加速引擎	55
3.1.2	可信执行环境	55
3.1.3	安全存储	55

3.1.4	安全启动.....	55
3.1.5	密钥管理.....	56
3.1.6	固件管理.....	56
3.1.7	抗物理攻击.....	56
3.1.8	生命周期管理.....	57
3.1.9	量产注入.....	58
3.1.10	硬件漏洞免疫.....	58
3.2	支持 SCPI 协议	58
4	时钟管理	59
4.1	时钟频率配置.....	59
4.2	时钟需求.....	59
5	电源管理	60
5.1	电源状态.....	60
5.1.1	S4/S5→S0	60
5.1.2	S0→S4/S5	61
5.1.3	S0→S3.....	62
5.1.4	S3→S0.....	63
5.2	电源参数.....	65
5.3	电源关断.....	66
5.3.1	动态关断.....	66
5.4	动态频率调节.....	67
6	温度管理	68
6.1	热参数.....	68
7	电气特性	69
7.1	极限工作条件.....	69
7.2	典型工作参数.....	69
7.3	通用引脚 DC 电气特性	69

7.4	DDR 引脚电气特性	70
7.5	PCIe 引脚电气特性.....	70
7.5.1	公用模块电气特性.....	72
7.5.2	发送模块电气特性.....	72
7.5.3	接收模块电气特性.....	73
7.5.4	公共模块电气特性.....	73
7.5.5	校准外接电阻参考说明.....	73
8	封装特性说明	74
8.1	封装尺寸.....	74
8.2	扣合力.....	74
8.3	信号位置分布.....	74
9	产品标识	76

图目录

图 1.1	D2000 功能框图.....	4
图 2.1	D2000 处理器接口信号框图.....	6
图 2.2	外部校准电阻.....	34
图 2.3	GMAC 开关特性图.....	37
图 2.4	MDIO 写操作时序.....	37
图 2.5	MDIO 读操作.....	37
图 2.6	MDIO 读建立和保持时间.....	37
图 2.7	RGMII 发送通道时序.....	37
图 2.8	RGMII 接收通道时序.....	38
图 2.9	RX 数据端口采样时序图.....	38
图 2.10	I2C 接收时序.....	40
图 2.11	I2C 发送时序.....	40
图 2.12	启动流程.....	42
图 2.13	QSPI 总线时序.....	43
图 2.14	SPI 时序图.....	44
图 2.15	LPC 基本时序.....	45
图 2.16	UART 时序图.....	46
图 2.17	GPIO 中断结构图.....	47
图 2.18	GPIO 开关特性图.....	48
图 2.19	SD 卡时钟数据输入输出时序图（标准模式）.....	49
图 2.20	SD 卡时钟数据输入输出时序图（高速模式）.....	50
图 2.21	D2000 软件调试结构.....	52
图 2.22	trace32 连接 PC 进行调试.....	53
图 3.1	生命周期.....	57
图 5.1	S4/S5→S0 开机时序图.....	60
图 5.2	S0→S4/S5 关机时序图.....	62
图 5.3	S0→S3 休眠时序图.....	63

图 5.4 S3_OK 和 S3_OK_Clear 信号链路.....	64
图 5.5 S3→S0 唤醒时序图	65
图 5.6 时序图.....	66
图 8.1 封装机械尺寸.....	74
图 8.2 BGA MAP 分布图.....	74
图 8.3 BGA MAP 结构图.....	75
图 9.1 Marking 说明.....	76

表目录

表 1-1	D2000 产品形态及参数	2
表 1-2	术语和缩略语表	5
表 2-1	D2000 DDR4 SDRAM 引脚信息	6
表 2-2	D2000 PCIe 引脚信息	10
表 2-3	D2000 RGMII 引脚信息	12
表 2-4	D2000 其他功能接口引脚信息	13
表 2-5	D2000 电源引脚信息	14
表 2-6	引脚复用表	16
表 2-7	支持的 DDR4 时序参数组合	20
表 2-8	支持的 DDR4 器件参数组合	20
表 2-9	支持的 LPDDR4 器件参数组合	21
表 2-10	DDR4 模式接口信号说明	21
表 2-11	LPDDR4 模式接口信号说明	25
表 2-12	PCIe 接口描述	30
表 2-13	PCIe 拆分模式表	34
表 2-14	千兆以太网(RGMII)信号说明	35
表 2-15	RGMII 接口电特性	36
表 2-16	I2C 接口描述	38
表 2-17	I2C 接口电特性	39
表 2-18	常用命令汇总	41
表 2-19	QSPI 接口描述	42
表 2-20	QSPI 接口电特性	43
表 2-21	SPI 接口描述	43
表 2-22	SPI 接口电特性	44
表 2-23	LPC 接口描述	44
表 2-24	LPC 接口电特性	45
表 2-25	UART 接口描述	45

表 2-26	UART 接口电特性.....	46
表 2-27	GPIO 接口描述.....	47
表 2-28	专用 GPIO 说明.....	48
表 2-29	GPIO 接口电特性.....	48
表 2-30	SD 接口描述.....	49
表 2-31	总线时序参数值（标准模式）.....	49
表 2-32	总线时序参数值（高速模式）.....	50
表 2-33	接口电气特性.....	50
表 2-34	HDAudio 接口描述.....	50
表 2-35	CAN 接口描述.....	51
表 2-36	System 接口描述.....	51
表 2-37	调试接口信号说明.....	52
表 2-38	调试环境支持.....	52
表 2-39	保留引脚描述.....	54
表 4-1	频率配置范围.....	59
表 4-2	时钟需求.....	59
表 5-1	电源状态.....	60
表 5-2	S4/S5→S0 时序控制表.....	60
表 5-3	S0→S4/S5 下电时序控制表.....	61
表 5-4	S0→S3 休眠下电时序控制表.....	63
表 5-5	S3→S0 唤醒上电时序控制表.....	64
表 5-6	电源管理协议.....	66
表 5-7	时序要求.....	66
表 5-8	功耗模式.....	66
表 7-1	典型工作参数.....	69
表 7-2	通用 pad 引脚电气特性.....	69
表 7-3	DDR4 DC 输入电压.....	70
表 7-4	DDR4 AC 输入电压.....	70
表 7-5	LPDDR4 AC/DC 输入电压.....	70

表 7-6 PCIe 引脚电气特性 70

表 7-7 内部参考时钟电平规范 72

表 7-8 外部参考时钟电平规范 72

表 7-9 偏斜特性 72

表 7-10 发送模块电气特性 72

表 7-11 接收模块电气特性 73

表 7-12 公共模块电气特性 73

表 7-13 校准外接电阻参考说明 73

表 9-1 丝印说明 76

1 简介

腾锐 D2000 系列处理器主要面向桌面应用、高端嵌入式和低端服务器领域的，该系列包含 6 款产品，各产品的基本性能参数详见表 1-1。本手册正文部分未作特殊说明的，均为对腾锐 D2000/8 标准版(下文简称为 D2000)的描述。

D2000 是一款面向桌面应用的高性能通用处理器，该处理器集成了 8 个 64 位高性能核，最高主频 2.6GHz，内置密码加速引擎，集成系统级安全机制，能够满足复杂应用场景下的性能需求和安全可信需求。

表 1-1 D2000 产品形态及参数

产品型号	腾锐 D2000/8 睿频版	腾锐 D2000/8 标准版	腾锐 D2000/8 标准网安版	腾锐 D2000/8 工业级网安版	腾锐 D2000/4 网安版	腾锐 D2000/4 工业级网安版
Marking	腾锐 D2000 B1144-B8-C	腾锐 D2000 B1144-E8-C	腾锐 D2000 B1144-S8-C	腾锐 D2000 B1144-S8-I	腾锐 D2000 B1144-S4-C	腾锐 D2000 B1144-S4-I
订货号	腾锐 D2000_8_0800_C	腾锐 D2000_8_0801_C	腾锐 D2000_8_0802_C	腾锐 D2000_8_0803_I	腾锐 D2000_8_0400_C	腾锐 D2000_8_0401_I
主频	2.6GHz	2.3GHz	2.3GHz	2.0GHz	2.3GHz	2.0GHz
核数	8	8	8	8	4	4
Cache	L2: 8MB L3: 4MB	L2: 8MB L3: 4MB	L2: 8MB L3: 4MB	L2: 8MB L3: 4MB	L2: 4MB L3: 4MB	L2: 4MB L3: 4MB
接口	34lane PCIe3.0 2 个 DDR4/2666	34lane PCIe3.0 2 个 DDR4/2666	34lane PCIe3.0 2 个 DDR4/2666	34lane PCIe3.0 2 个 DDR4/2400	34lane PCIe3.0 2 个 DDR4/2666	34lane PCIe3.0 2 个 DDR4/2400
TDP 功耗 ^[1]	28W	25W	25W	20W	18W	14W
内核电压	0.88V	0.88V	0.88V	0.8V	0.88V	0.8V
封装	35mm*35mm FCLBGA 封装	35mm*35mm FCLBGA 封装	35mm*35mm FCLBGA 封装	35mm*35mm FCLBGA 封装	35mm*35mm FCLBGA 封装	35mm*35mm FCLBGA 封装
厚度	3.172mm	3.172mm	3.172mm	3.172mm	3.172mm	3.172mm
质量等级	商业级	商业级	商业级	工业级	商业级	工业级
MSL	<=4	<=4	<=4	<=4	<=4	<=4
环规	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0
工作温度(Tj)	0~85°C	0~85°C	0~85°C	-40~105°C	0~85°C	-40~105°C
注 1: TDP 功耗为 CPU 最大结温下实测功耗的最大平均值 (运行 SPEC2006-447)						

1.1 技术指标

D2000 的主要技术指标如下：

1) 功能指标

- 兼容 ARM v8 体系结构，支持 64 位和 32 位指令；
- 兼容 ARM v8 虚拟化体系结构，支持业界主流的 KVM、Xen 虚拟机；
- 支持单精度、双精度浮点运算指令；
- 支持 ASIMD 处理指令；
- 支持处理器安全架构 PSPA1.0。

2) 结构指标

- 集成 8 个 FTC663 核；
- L2 Cache：每个 Cluster 内有 2MB，共 8MB；腾锐 D2000/4 网安版和腾锐 D2000/4 工业级网安版的 L2 Cache 共 4MB；
- L3 Cache：分为 8 个 Bank，共 4MB；
- 集成 2 个 DDR4-3200 控制器，支持对 DDR 存储数据进行实时加密；
- 集成 34 Lanes PCIe 3.0 接口：2 个 X16（每个可拆分成 2 个 X8），2 个 X1；
- 集成 2 个千兆 Ethernet 接口(RGMII)，支持 10/100/1000Mbps 自适应；
- 集成 1 个 SD 卡控制器，兼容 SD 2.0 规范；
- 集成 1 个 HDA (HD-Audio)，支持音频输出，可同时支持最多 4 个 Codec；
- 集成对称、非对称和杂散密码加速引擎；
- 集成 4 个 UART, 1 个 LPC Master, 32 个 GPIO, 4 个 I2C, 1 个 QSPI, 2 个通用 SPI, 3 个 CAN, 2 个 WDT, 16 个外部中断；
- 集成 2 个温度传感器；
- 集成 128KB On Chip Memory。

1.2 电源管理

- 支持电源关断；
- 支持动态频率调整；

- 支持待机、休眠模式。

1.3 功能框图

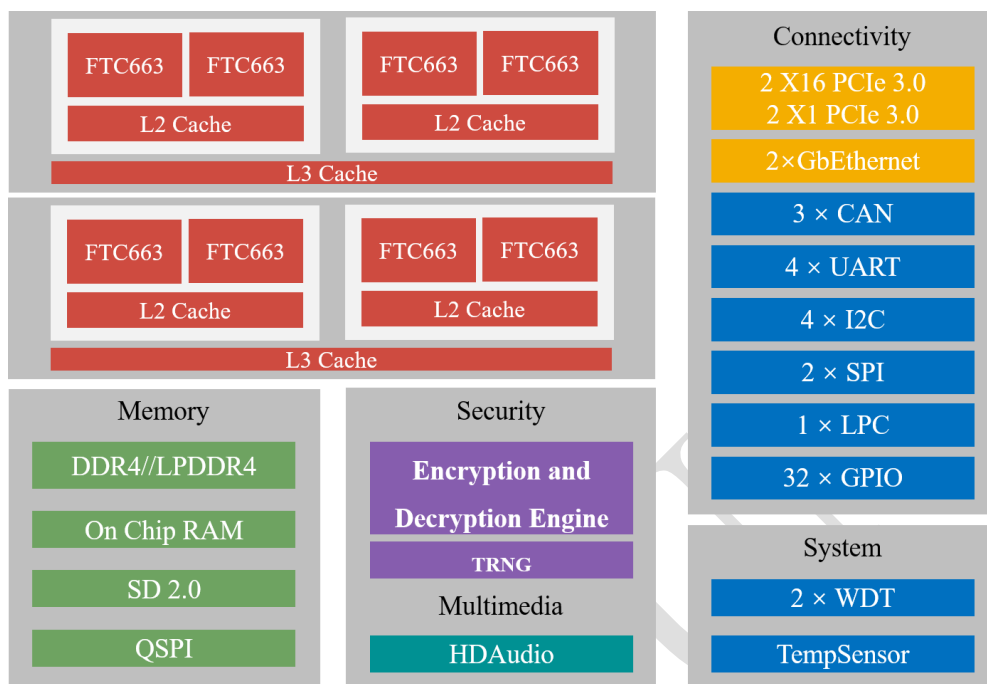


图 1.1 D2000 功能框图

1.4 温度管理

D2000 内部集成 2 个温度传感器，支持单次采样、连续采样两种模式。

1.5 封装

D2000 采用 1144 引脚塑封 FCLBGA 封装，芯片尺寸为 35mm*35mm，焊球间距 1.0mm，焊球采用无铅 SAC305 材料。

1.6 处理器可调试特性

D2000 为软硬件开发者提供较完善的调试支持，其调试系统主要实现了下列调试功能：

- 提供图形化的软件集成开发环境支持，能够进行 BIOS、操作系统、驱动和应用级软件的调试，支持多核多线程调试；
- 可对被调试程序的运行、暂停、指令/数据断点、变量修改与查看等常用调试操作进行控制，支持对体系结构寄存器、外设寄存器和外部存储空间的访问。

1.7 术语

表 1-2 术语和缩略语表

术语	描述	备注
TEE	Trusted Execution Environment	
REE	Rich Execution Environment	
PBF	Phytium Base Firmware	
PBR	Phytium Boot ROM	
RGMII	Reduced Gigabit Media Independent Interface	
LPC	Low Pin Count	
GPIO	General-purpose input/output	
QSPI	Queued Serial Peripheral Interface	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDAudio	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DIMM	Dual Inline-Memory-Modules	
UDIMM	Unbuffered Dual In-Line Memory Modules	
SODIMM	Small Outline Dual In-line Memory Module	
RDIMM	Registered Dual-Inline-Memory-Modules	
LRDIMM	Load-Reduced Dual-Inline-Memory-Modules	
SCPI	System Control and Power Interface	
PLL	Phase Locked Loop	
PAPS	Phytium Security Platform Architecture	

1.8 相关文档

- 1、腾锐 D2000 处理器软件编程手册
- 2、腾锐 D2000 处理器硬件设计指导手册

2 接口说明

2.1 接口信号说明

D2000 的接口信号简图如图 2.1 所示。

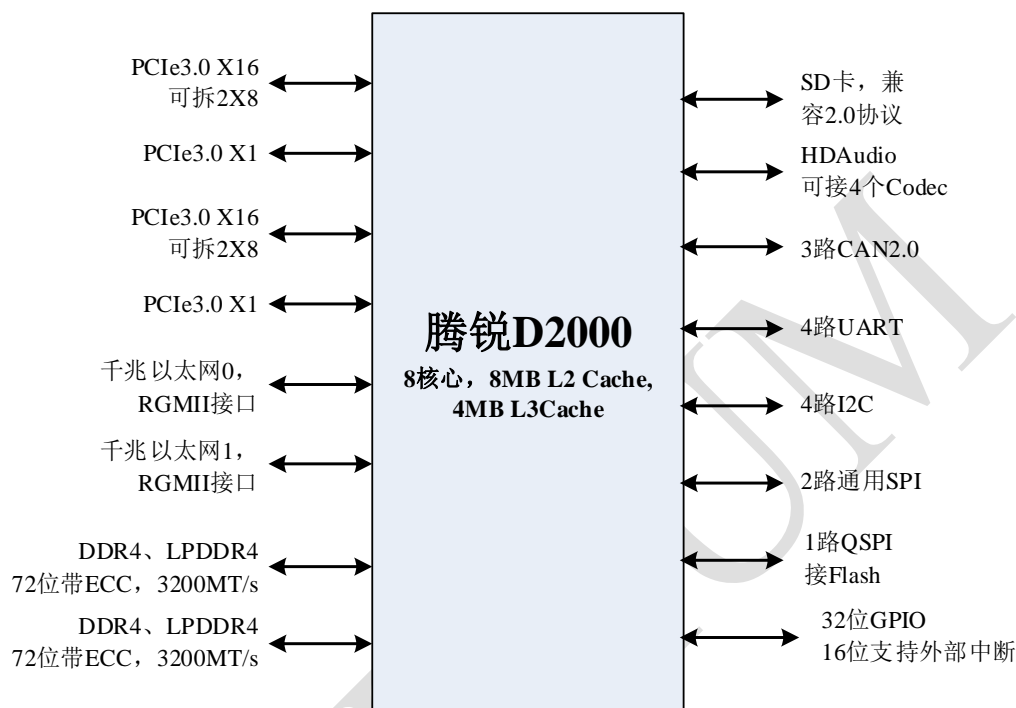


图 2.1 D2000 处理器接口信号框图

2.1.1 引脚列表

2.1.1.1 DDR4 SDRAM 引脚信息

表 2-1 D2000 DDR4 SDRAM 引脚信息

引脚 1	信号名 1	引脚 2	信号名 2
B28	LMU0_A0	AN28	LMU1_A0
F25	LMU0_A1	AJ25	LMU1_A1
G25	LMU0_A2	AH25	LMU1_A2
A25	LMU0_A3	AP25	LMU1_A3
B25	LMU0_A4	AN25	LMU1_A4
C25	LMU0_A5	AM25	LMU1_A5
F23	LMU0_A6	AJ23	LMU1_A6
D24	LMU0_A7	AL24	LMU1_A7
C24	LMU0_A8	AM24	LMU1_A8
A23	LMU0_A9	AP23	LMU1_A9
D28	LMU0_A10	AL28	LMU1_A10
E24	LMU0_A11	AK24	LMU1_A11
B23	LMU0_A12	AN23	LMU1_A12

B29	LMU0_A13	AN29	LMU1_A13
G27	LMU0_A14/WE_N	AH27	LMU1_A14/WE_N
H27	LMU0_A15/CAS_N	AG27	LMU1_A15/CAS_N
H26	LMU0_A16/RAS_N	AG26	LMU1_A16/RAS_N
A31	LMU0_A17	AP31	LMU1_A17
G26	LMU0_BA0	AH26	LMU1_BA0
C28	LMU0_BA1	AM28	LMU1_BA1
E23	LMU0_BG0	AK23	LMU1_BG0
E22	LMU0_BG1	AK22	LMU1_BG1
D30	LMU0_C0	AL30	LMU1_C0
B22	LMU0_CKE0	AN22	LMU1_CKE0
D22	LMU0_CKE1	AL22	LMU1_CKE1
C22	LMU0_CKE2	AM22	LMU1_CKE2
A22	LMU0_CKE3	AP22	LMU1_CKE3
E28	LMU0_CS_N0	AK28	LMU1_CS_N0
B31	LMU0_CS_N1	AN31	LMU1_CS_N1
E30	LMU0_CS_N2	AK30	LMU1_CS_N2
A30	LMU0_CS_N3	AP30	LMU1_CS_N3
G28	LMU0_ODT0	AH28	LMU1_ODT0
F29	LMU0_ODT1	AJ29	LMU1_ODT1
F28	LMU0_ODT2	AJ28	LMU1_ODT2
B30	LMU0_ODT3	AN30	LMU1_ODT3
P16	LMU0_BP_ZN	AA17	LMU1_BP_ZN
F22	LMU0_ACT_N	AJ22	LMU1_ACT_N
G22	LMU0_BP_ALERT_N	AH22	LMU1_BP_ALERT_N
H22	LMU0_BP_MEMRESET_L	AG22	LMU1_BP_MEMRESET_L
A28	LMU0_PAR	AP28	LMU1_PAR
N17	NC	AB18	NC
E25	LMU0_CLK_C0	AK25	LMU1_CLK_C0
D25	LMU0_CLK_T0	AL25	LMU1_CLK_T0
F26	LMU0_CLK_C1	AJ26	LMU1_CLK_C1
E26	LMU0_CLK_T1	AK26	LMU1_CLK_T1
B26	LMU0_CLK_C2	AN26	LMU1_CLK_C2
A26	LMU0_CLK_T2	AP26	LMU1_CLK_T2
D27	LMU0_CLK_C3	AL27	LMU1_CLK_C3
C27	LMU0_CLK_T3	AM27	LMU1_CLK_T3
D11	LMU0_DQS_C6	AL11	LMU1_DQS_C6
E13	LMU0_DQS_C7	AK13	LMU1_DQS_C7
D15	LMU0_DQS_C4	AL15	LMU1_DQS_C4

F19	LMU0_DQS_C5	AJ19	LMU1_DQS_C5
H34	LMU0_DQS_C3	AG34	LMU1_DQS_C3
E34	LMU0_DQS_C2	AK34	LMU1_DQS_C2
T34	LMU0_DQS_C1	W34	LMU1_DQS_C1
M34	LMU0_DQS_C0	AC34	LMU1_DQS_C0
C19	LMU0_DQS_C8	AM19	LMU1_DQS_C8
A11	LMU0_DQS_C15	AP11	LMU1_DQS_C15
E12	LMU0_DQS_C16	AK12	LMU1_DQS_C16
A15	LMU0_DQS_C13	AP15	LMU1_DQS_C13
E18	LMU0_DQS_C14	AK18	LMU1_DQS_C14
H32	LMU0_DQS_C12	AG32	LMU1_DQS_C12
E32	LMU0_DQS_C11	AK32	LMU1_DQS_C11
T31	LMU0_DQS_C10	W31	LMU1_DQS_C10
M31	LMU0_DQS_C9	AC31	LMU1_DQS_C9
A19	LMU0_DQS_C17	AP19	LMU1_DQS_C17
A10	LMU0_DQ48	AP10	LMU1_DQ48
C11	LMU0_DQ49	AP13	LMU1_DQ51
B13	LMU0_DQ50	AN13	LMU1_DQ50
A13	LMU0_DQ51	AM11	LMU1_DQ49
E10	LMU0_DQ52	AK10	LMU1_DQ52
D10	LMU0_DQ53	AL10	LMU1_DQ53
A12	LMU0_DQ55	AP12	LMU1_DQ55
C13	LMU0_DQ54	AM13	LMU1_DQ54
G12	LMU0_DQ56	AH11	LMU1_DQ56
F15	LMU0_DQ57	AK15	LMU1_DQ58
E15	LMU0_DQ58	AJ15	LMU1_DQ57
G11	LMU0_DQ59	AH12	LMU1_DQ59
G10	LMU0_DQ60	AH10	LMU1_DQ60
F10	LMU0_DQ61	AH14	LMU1_DQ63
G13	LMU0_DQ62	AH13	LMU1_DQ62
G14	LMU0_DQ63	AJ10	LMU1_DQ61
A14	LMU0_DQ32	AP14	LMU1_DQ32
B14	LMU0_DQ35	AN14	LMU1_DQ35
B17	LMU0_DQ33	AN17	LMU1_DQ33
A17	LMU0_DQ34	AP17	LMU1_DQ34
D14	LMU0_DQ36	AL14	LMU1_DQ36
C14	LMU0_DQ39	AM14	LMU1_DQ39
A16	LMU0_DQ38	AP16	LMU1_DQ38
C17	LMU0_DQ37	AM17	LMU1_DQ37

G17	LMU0_DQ40	AH16	LMU1_DQ40
F20	LMU0_DQ41	AK21	LMU1_DQ42
E21	LMU0_DQ42	AJ20	LMU1_DQ43
G16	LMU0_DQ43	AH17	LMU1_DQ41
F16	LMU0_DQ44	AJ16	LMU1_DQ44
E16	LMU0_DQ45	AL19	LMU1_DQ47
D19	LMU0_DQ47	AK16	LMU1_DQ45
G20	LMU0_DQ46	AH20	LMU1_DQ46
G34	LMU0_DQ24	AG30	LMU1_DQ24
H30	LMU0_DQ27	AE31	LMU1_DQ25
K31	LMU0_DQ25	AH34	LMU1_DQ27
K32	LMU0_DQ26	AE32	LMU1_DQ26
H29	LMU0_DQ28	AG29	LMU1_DQ28
G30	LMU0_DQ29	AH30	LMU1_DQ29
J33	LMU0_DQ30	AF33	LMU1_DQ30
J31	LMU0_DQ31	AF31	LMU1_DQ31
D33	LMU0_DQ16	AL33	LMU1_DQ16
G32	LMU0_DQ17	AH32	LMU1_DQ17
G33	LMU0_DQ18	AH33	LMU1_DQ18
D34	LMU0_DQ19	AL34	LMU1_DQ19
D32	LMU0_DQ20	AL32	LMU1_DQ20
F31	LMU0_DQ21	AJ31	LMU1_DQ21
F33	LMU0_DQ22	AJ33	LMU1_DQ22
C33	LMU0_DQ23	AM33	LMU1_DQ23
R34	LMU0_DQ8	Y33	LMU1_DQ8
R33	LMU0_DQ9	Y34	LMU1_DQ9
U32	LMU0_DQ10	V31	LMU1_DQ11
U31	LMU0_DQ11	V32	LMU1_DQ10
P34	LMU0_DQ12	AA34	LMU1_DQ12
P32	LMU0_DQ15	AA32	LMU1_DQ15
T32	LMU0_DQ13	W32	LMU1_DQ13
U34	LMU0_DQ14	V34	LMU1_DQ14
L32	LMU0_DQ0	AD32	LMU1_DQ0
P31	LMU0_DQ2	AD34	LMU1_DQ1
N32	LMU0_DQ3	AB32	LMU1_DQ3
L34	LMU0_DQ1	AA31	LMU1_DQ2
K34	LMU0_DQ4	AE34	LMU1_DQ4
L33	LMU0_DQ5	AE33	LMU1_DQ5
N33	LMU0_DQ6	AB33	LMU1_DQ6

N34	LMU0_DQ7	AB34	LMU1_DQ7
A18	LMU0_CB0	AP18	LMU1_CB0
D21	LMU0_CB2	AN18	LMU1_CB3
B18	LMU0_CB3	AL21	LMU1_CB2
A21	LMU0_CB1	AP21	LMU1_CB1
D17	LMU0_CB4	AL17	LMU1_CB4
B20	LMU0_CB5	AL18	LMU1_CB6
D18	LMU0_CB6	AP20	LMU1_CB7
A20	LMU0_CB7	AN20	LMU1_CB5
D12	LMU0_DQS_T6	AL12	LMU1_DQS_T6
D13	LMU0_DQS_T7	AL13	LMU1_DQS_T7
D16	LMU0_DQS_T4	AL16	LMU1_DQS_T4
E19	LMU0_DQS_T5	AK19	LMU1_DQS_T5
J34	LMU0_DQS_T3	AF34	LMU1_DQS_T3
F34	LMU0_DQS_T2	AJ34	LMU1_DQS_T2
T33	LMU0_DQS_T1	W33	LMU1_DQS_T1
M33	LMU0_DQS_T0	AC33	LMU1_DQS_T0
C20	LMU0_DQS_T8	AM20	LMU1_DQS_T8
B11	LMU0_DQS_T15	AN11	LMU1_DQS_T15
F12	LMU0_DQS_T16	AJ12	LMU1_DQS_T16
B15	LMU0_DQS_T13	AN15	LMU1_DQS_T13
F18	LMU0_DQS_T14	AJ18	LMU1_DQS_T14
H31	LMU0_DQS_T12	AG31	LMU1_DQS_T12
E31	LMU0_DQS_T11	AK31	LMU1_DQS_T11
R31	LMU0_DQS_T10	Y31	LMU1_DQS_T10
L31	LMU0_DQS_T9	AD31	LMU1_DQS_T9
B19	LMU0_DQS_T17	AN19	LMU1_DQS_T17

2.1.1.2 PCIe 引脚信息

表 2-2 D2000 PCIe 引脚信息

引脚 1	信号名 1	引脚 2	信号名 2
AN3	PEU0_X16_TXP0	A3	PEU1_X16_TXP0
AM1	PEU0_X16_TXP1	C3	PEU1_X16_TXP1
AL3	PEU0_X16_TXP2	D1	PEU1_X16_TXP2
AK1	PEU0_X16_TXP3	E3	PEU1_X16_TXP3
AJ3	PEU0_X16_TXP4	F1	PEU1_X16_TXP4
AH1	PEU0_X16_TXP5	G3	PEU1_X16_TXP5
AG3	PEU0_X16_TXP6	H1	PEU1_X16_TXP6
AF1	PEU0_X16_TXP7	J3	PEU1_X16_TXP7
AE4	PEU0_X16_TXP8	K2	PEU1_X16_TXP8

AD2	PEU0_X16_TXP9	L4	PEU1_X16_TXP9
AC4	PEU0_X16_TXP10	M2	PEU1_X16_TXP10
AB2	PEU0_X16_TXP11	N4	PEU1_X16_TXP11
AA4	PEU0_X16_TXP12	P2	PEU1_X16_TXP12
Y2	PEU0_X16_TXP13	R4	PEU1_X16_TXP13
W4	PEU0_X16_TXP14	T2	PEU1_X16_TXP14
V2	PEU0_X16_TXP15	U4	PEU1_X16_TXP15
AN4	PEU0_X16_TXN0	A4	PEU1_X16_TXN0
AM2	PEU0_X16_TXN1	C4	PEU1_X16_TXN1
AL4	PEU0_X16_TXN2	D2	PEU1_X16_TXN2
AK2	PEU0_X16_TXN3	E4	PEU1_X16_TXN3
AJ4	PEU0_X16_TXN4	F2	PEU1_X16_TXN4
AH2	PEU0_X16_TXN5	G4	PEU1_X16_TXN5
AG4	PEU0_X16_TXN6	H2	PEU1_X16_TXN6
AF2	PEU0_X16_TXN7	J4	PEU1_X16_TXN7
AE3	PEU0_X16_TXN8	K1	PEU1_X16_TXN8
AD1	PEU0_X16_TXN9	L3	PEU1_X16_TXN9
AC3	PEU0_X16_TXN10	M1	PEU1_X16_TXN10
AB1	PEU0_X16_TXN11	N3	PEU1_X16_TXN11
AA3	PEU0_X16_TXN12	P1	PEU1_X16_TXN12
Y1	PEU0_X16_TXN13	R3	PEU1_X16_TXN13
W3	PEU0_X16_TXN14	T1	PEU1_X16_TXN14
V1	PEU0_X16_TXN15	U3	PEU1_X16_TXN15
AP6	PEU0_X1_TXP	T10	PEU1_X1_TXP
AP5	PEU0_X1_TXN	T9	PEU1_X1_TXN
AM5	PEU0_X16_RXP0	A7	PEU1_X16_RXP0
AL7	PEU0_X16_RXP1	B5	PEU1_X16_RXP1
AK5	PEU0_X16_RXP2	C7	PEU1_X16_RXP2
AJ7	PEU0_X16_RXP3	D5	PEU1_X16_RXP3
AH5	PEU0_X16_RXP4	E7	PEU1_X16_RXP4
AG7	PEU0_X16_RXP5	F5	PEU1_X16_RXP5
AF5	PEU0_X16_RXP6	G7	PEU1_X16_RXP6
AE7	PEU0_X16_RXP7	H5	PEU1_X16_RXP7
AD6	PEU0_X16_RXP8	J8	PEU1_X16_RXP8
AC8	PEU0_X16_RXP9	K6	PEU1_X16_RXP9
AB6	PEU0_X16_RXP10	L8	PEU1_X16_RXP10
AA8	PEU0_X16_RXP11	M6	PEU1_X16_RXP11
Y6	PEU0_X16_RXP12	N8	PEU1_X16_RXP12
W8	PEU0_X16_RXP13	P6	PEU1_X16_RXP13

V6	PEU0_X16_RXP14	R8	PEU1_X16_RXP14
U8	PEU0_X16_RXP15	T6	PEU1_X16_RXP15
AM6	PEU0_X16_RXN0	A8	PEU1_X16_RXN0
AL8	PEU0_X16_RXN1	B6	PEU1_X16_RXN1
AK6	PEU0_X16_RXN2	C8	PEU1_X16_RXN2
AJ8	PEU0_X16_RXN3	D6	PEU1_X16_RXN3
AH6	PEU0_X16_RXN4	E8	PEU1_X16_RXN4
AG8	PEU0_X16_RXN5	F6	PEU1_X16_RXN5
AF6	PEU0_X16_RXN6	G8	PEU1_X16_RXN6
AE8	PEU0_X16_RXN7	H6	PEU1_X16_RXN7
AD5	PEU0_X16_RXN8	J7	PEU1_X16_RXN8
AC7	PEU0_X16_RXN9	K5	PEU1_X16_RXN9
AB5	PEU0_X16_RXN10	L7	PEU1_X16_RXN10
AA7	PEU0_X16_RXN11	M5	PEU1_X16_RXN11
Y5	PEU0_X16_RXN12	N7	PEU1_X16_RXN12
W7	PEU0_X16_RXN13	P5	PEU1_X16_RXN13
V5	PEU0_X16_RXN14	R7	PEU1_X16_RXN14
U7	PEU0_X16_RXN15	T5	PEU1_X16_RXN15
AN8	PEU0_X1_RXP	V10	PEU1_X1_RXP
AN7	PEU0_X1_RXN	V9	PEU1_X1_RXN
AF11	PEU0_REFCLKP	K29	PEU1_C0_CLKREQ
AF12	PEU0_REFCLKN	J28	PEU1_C1_CLKREQ
N27	PEU0_C0_CLKREQ	M28	PEU1_C2_CLKREQ
L27	PEU0_C1_CLKREQ	J23	PEU1_X1_ATB0
L26	PEU0_C2_CLKREQ	K23	PEU1_X1_ATB1
AB9	PEU0_X1_ATB0	V24	PEU1_X16_ATB0
AB10	PEU0_X1_ATB1	V26	PEU1_X16_ATB1
Y9	PEU0_X16_ATB0	M21	PEU1_X1_REXT
Y10	PEU0_X16_ATB1	W23	PEU1_X16_REXT
AA13	PEU0_X1_REXT	AA26	PEU1_REFCLKP
V13	PEU0_X16_REXT	Y26	PEU1_REFCLKN
		L23	NC
		L22	NC

2.1.1.3 千兆以太网(RGMII)引脚信息

表 2-3 D2000 RGMII 引脚信息

引脚 1	信号名 1	引脚 2	信号名 2
J14	RGMII0_TXD0	M11	RGMII1_TXD0/GPIO1_A2
K14	RGMII0_TXD1	K11	RGMII1_TXD1/SPI0_CSN1
J15	RGMII0_TXD2	L10	RGMII1_TXD2/SPI0_CSN2

J13	RGMII0_TXD3	N11	RGMII1_TXD3/GPIO0_B3
K13	RGMII0_GTX_CLK	L11	RGMII1_GTX_CLK
K15	RGMII0_TX_CTL	M10	RGMII1_TX_CTL/GPIO0_B4
K12	RGMII0_RXD0	P10	RGMII1_RXD0/GPIO0_B0
J12	RGMII0_RXD1	P9	RGMII1_RXD1/GPIO0_B1
J11	RGMII0_RXD2	N10	RGMII1_RXD2/GPIO0_B2
L12	RGMII0_RXD3	M9	RGMII1_RXD3/GPIO1_A0
L13	RGMII0_RX_CLK	K10	RGMII1_RX_CLK
J10	RGMII0_RX_CTL	K9	RGMII1_RX_CTL/GPIO1_A1
K18	RGMII0_MDC	H9	RGMII1_MDC
K22	RGMII0_MDIO	J21	RGMII1_MDIO

2.1.1.4 其他功能接口引脚信息

表 2-4 D2000 其他功能接口引脚信息

引脚 1	信号名 1	引脚 2	信号名 2
P27	CLK_REF	AB28	QSPI_WP_IO2
K20	POR_N	U26	QSPI_HOLD_IO3
T26	PWR_CTRL0	AF16	I2C0_SDA
R29	PWR_CTRL1	AG18	I2C0_SCL
L14	ALL_PLL_LOCK/I2C_1_SCL	AD27	SD_DETECT
L15	CRU_CLK_OBV/I2C_1_SDA/GPIO0_A0	AD15	SD_CMD/GPIO1_B1
J18	CRU_RST_OK	AE22	SD_CLK/GPIO1_B2
AE16	LPC_CLK	AF28	SD_DAT0/GPIO1_B3
AF9	LPC_IRQ_OUTEN/I2C3_SCL	AE21	SD_DAT1/GPIO1_B4
AE15	LPC_LAD_OUTEN/I2C3_SDA	AD26	SD_DAT2/GPIO1_B5
AE19	LPC_RSTN_O	AF24	SD_DAT3/GPIO1_B6
AE18	LPC_LFRAME_N	AA28	RSVD31_FLOAT
AD14	LPC_IRQ_N	AA27	RSVD32_FLOAT
AF25	LPC_LDRQ_N	K25	PEU0_LINKUP0
AE12	LPC_LAD0/GPIO1_A3	K24	PEU0_LINKUP1
AF18	LPC_LAD1/GPIO1_A4	N26	PEU0_LINKUP2
AE24	LPC_LAD2/SPI1_CSN3	AB29	PEU1_LINKUP0/GPIO0_A7/SCI
AD28	LPC_LAD3/SPI0_CSN3	AE11	SPI0_SCK/GPIO1_A6
AD13	HDA_SDI0	AF17	SPI0_SO/GPIO1_A7
AE25	HDA_SDO	AG15	SPI0_SI/GPIO1_B0
AF20	HDA_BCLK	AF10	SPI0_CSN0/GPIO1_A5
AE20	HDA_RST	P29	RSVD0_UP
AE23	HDA_SYNC	U29	RSVD1_UP
K16	CAN_RXD0/SWDITMS_SWJ	V29	RSVD2_UP

AA29	CAN_TXD0/PEU1_LINKUP1	AC28	RSVD3_UP
J19	CAN_RXD1/I2C2_SCL/SWDO_SWJ	H19	RSVD4_UP
J16	CAN_TXD1/PEU1_LINKUP2/NTRST_SWJ	W29	RSVD5_UP
AG19	CAN_RXD2/I2C2_SDA/TDO_SWJ	H18	RSVD6_UP
J20	CAN_TXD2/TDI_SWJ	K19	RSVD7_DOWN
AE17	TCK_SWJ	AE14	RSVD8_DOWN
AE28	UART_0_TXD	N28	RSVD9_DOWN
AD16	UART_0_RXD	K28	RSVD10_DOWN
H15	UART_0_DSR_N/GPIO0_A3	W27	RSVD11_DOWN
AC27	UART_0_RTS_N/GPIO0_A5	T28	RSVD12_DOWN
AB27	UART_0_DTR_N/GPIO0_A6	J25	RSVD13_DOWN
K17	UART_0_CTS_N/GPIO0_A1	J24	RSVD14_DOWN
K21	UART_0_RI_N/GPIO0_A4	L29	RSVD15_DOWN
J17	UART_0_DCD_N/GPIO0_A2	AB30	RSVD16_DOWN
AE29	UART_1_TXD	N29	RSVD17_DOWN
AF14	UART_1_RXD	M26	RSVD18_DOWN
AF13	UART_2_TXD/SPI1_SCK/HDA_SDI1	P26	RSVD19_DOWN
AF23	UART_2_RXD/SPI1_CSN0/GPIO0_B5	T27	RSVD20_DOWN
AF15	UART_3_TXD/SPI1_SI/HDA_SDI3	P28	RSVD21_DOWN
AF19	UART_3_RXD/SPI1_SO/HDA_SDI2	T29	RSVD22_DOWN
U27	QSPI_CSN0	AE13	RSVD23_DOWN
AD29	QSPI_CSN1/GPIO1_B7	AF21	RSVD24_DOWN
U28	QSPI_CSN2/SPI1_CSN1/GPIO0_B6	K27	RSVD25_FLOAT
R26	QSPI_CSN3/SPI1_CSN2/GPIO0_B7	Y29	RSVD26_FLOAT
R27	QSPI_SCK	AC29	RSVD27_FLOAT
W28	QSPI_SO_IO0	N30	RSVD28_FLOAT
Y28	QSPI_SI_IO1	M29	RSVD29_FLOAT

2.1.1.5 电源引脚信息

表 2-5 D2000 电源引脚信息

引脚	信号名
AC11, AD11, AD9, AE10, AB11	PEU0_AVDD
N21	NC
AB22, T22, AC22, AC23	PEU1_AVDD
R11, U11, W11	PEU0_AVDDH
P21	NC
AA23, AB23, U23	PEU1_AVDDH
AA12, T12, V12, Y12	PEU0_AVDDCLK

P20	NC
V25, W24, W25	PEU1_AVDDCLK
AB13, AB21, P12	VDDPST
AB17, N16	NC
R17, AD21	VDDA
V22	NC
Y22	PLL_VDDPOST
W21	PLL_VDDHV
AA21	RSVD30_FLOAT
Y21	VDD_3V3
L21	EFUSE_VQPS
AB14, AB20, N19, P18, A24, A27, AG25, AJ24, AK27, AL23, AL26, AL29, AM30, AP24, AP27, C30, D23, M15, M20, AG23, AB15, AA16, AA18, H23, D26, D29, E27, H25, F24, N14	VDDQ
AB19, M18	VDDQ_CK
R13, R19, R14, R24, P13, P15, U16, U18, U13, AC24, AC12, AC16, M25, P25, T25, AD25, AD19, AD17, AE27, AE26, AB25, L18, AC26, W13, AA14, Y15, Y19, V15, V17, V19, W14, W16, W18, U22, U24, T13, T15, T17, T19, T21, T23, Y25, L25, P23, R20, M13, U14, M24, N12, N24, U20, AA10, L16	VDD
A5, A6, A9, A29, A32, AA1, AA2, AA5, AA6, AA9, AA20, AA24, AA25, AA30, AA33, AB3, AB4, AB7, AB8, AB24, AB31, AC1, AC2, AC5, AC6, AC9, AC10, AC13, AC14, AC15, AC17, AC18, AC19, AC20, AC21, AC30, AC32, AD3, AD4, AD7, AD8, AD10, AD12, AD30, AD33, AE1, AE2, AE5, AF8, AG24, P14, T20, R15, P22, N23, N15, N13, AB16, M27, AD20, L20, AD22, AD23, AD24, N25, AD18, AB26, T18, U15, U17, U19, U25, U30, U33, V3, V4, V7, V8, V11, V21, V30, V33, W1, W2, W5, W6, W9, W10, W12, W20, W22, W26, W30, Y3, Y4, Y7, Y8, Y11, Y13, Y17, Y24, Y30, Y32, P24, P30, P33, R1, R2, R5, R6, R9, AE6, AE9, AE30, AF3, AF4, AF7, AA15, AA19, V14, V16, V18, V20, V23, H24, G24, AA22, W15, W17, W19, Y14, Y16, Y18, Y20, Y23, AA11, AB12, R21, R23, T14, T16, U21, R10, R12, R16, R18, R22, R25, R30, R32, T3, T4, T7, T8, T11, T24, T30, U1, U2, U5, U6, U9, U10, U12, L2, L5, L6, L9, L30, K33, M3, M4, M7, M8, M12, M14, M16, M17, M19, M22, M23, M30, M32, N1, N2, N5, N6, N9, N18, N20, N22, N31, P3, P4, P7, P8, P11, F32, G1, G2, G5, G6, G9, G15, G18, K26, V28, R28, P17, P19, G21, G23, G29, G31, H3, H4, H7, H8, H10, H11, H12,	VSS

H13, H14, H16, H17, H20, H21, H28, H33, J1, J2, J5, J6, J9, J22, J26, J27, J29, J30, J32, K3, K4, K7, K8, K30, L1, D9, D31, E1, E2, E5, E6, E9, E11, E14, E17, E20, E29, E33, F3, F4, F7, F8, F9, F11, F13, F14, F17, F21, F27, AL20, L28, V27, AF22, AF26, AF27, AF29, AF30, AF32, AG1, AG2, AG5, AG6, AG9, AG10, AG11, AG12, AG13, AG14, AG16, AG17, AG20, AG21, AG28, AG33, AH3, AH4, AH7, AH8, AH9, AH15, AH18, AH19, AH21, AH23, AH24, AH29, AH31, AJ1, AJ2, AJ5, AJ6, AJ9, AJ11, AJ13, AJ14, B9, B10, B12, B16, D20, B21, B24, B27, B33, C1, C2, C5, C6, C9, C10, C12, D3, D4, D7, D8, G19, C26, C29, AC25, L24, Y27, AJ17, AJ21, AJ27, AJ32, AK3, AK4, AK7, AK8, AK9, AK11, AK14, AK17, AK20, AK29, AK33, AL1, AL2, AL5, AL6, AL9, AL31, AM3, AM4, AM7, AM8, AM9, AM10, AM12, AM15, AM16, AM18, AM21, AM23, AM26, AM29, AM32, AM34, AN2, AN5, AN6, AN9, AN10, AN12, AN16, AN21, AN24, AN27, AN33, AP3, AP4, AP7, AP8, AP9, AP29, AP32, B2, B3, B4, B7, B8, C15, C16, C18, C21, C23, C32, C34, L19, L17, C31, B32, AM31, AN32, F30, AJ30	
--	--

2.1.2 复用引脚说明

由于芯片引脚数量有限，除 DDR、PCIe 高速接口信号线使用专用引脚外，其他的输入输出信号线大部分是通过多路控制开关连接到通用引脚，即存在复用关系。板级设计时需明确引脚的复用关系，并根据实际应用场景和特定用途决定用哪些功能接口。通用引脚可以通过软件配置其电气特性，比如驱动能力、传输延迟、上下拉等，具体配置方法请参考《腾锐 D2000 处理器软件编程手册》相关章节。引脚复用关系如表 2-6 所示，表中功能 0~功能 2 表示同一个引脚复用的三个功能，复位后默认功能为功能 0。

表 2-6 引脚复用表

引脚	功能 0	功能 1	功能 2	上下拉电阻	NC 处理方式
L14	ALL_PLL_LOCK	/	I2C_1_SCL	SEL	表 2-36
L15	CRU_CLK_OBV	GPIO0_A0	I2C_1_SDA	SEL	表 2-36
K17	/	GPIO0_A1	UART_0_CTS_N	SEL	上拉电阻
J17	/	GPIO0_A2	UART_0_DCD_N	SEL	上拉电阻
H15	/	GPIO0_A3	UART_0_DSR_N	SEL	下拉电阻
K21	/	GPIO0_A4	UART_0_RI_N	SEL	悬空
AC27	/	GPIO0_A5	UART_0_RTS_N	SEL	悬空
AB27	/	GPIO0_A6	UART_0_DTR_N	SEL	下拉电阻
AB29	/	GPIO0_A7	PEU1_LINKUP0	SEL	上拉电阻
AA29	/	CAN_TXD0	PEU1_LINKUP1	SEL	上拉电阻

J16	NTRST_SWJ	CAN_TXD1	PEU1_LINKUP2	SEL	表 2-36
J20	TDI_SWJ	CAN_TXD2	/	SEL	表 2-36
K16	SWDITMS_SWJ	CAN_RXD0	/	SEL	表 2-36
J19	SWDO_SWJ	CAN_RXD1	I2C2_SCL	SEL	表 2-36
AG19	TDO_SWJ	CAN_RXD2	I2C2_SDA	SEL	表 2-36
AF9	/	LPC_IRQ_OUTEN	I2C3_SCL	SEL	悬空
AE15	/	LPC_LAD_OUTEN	I2C3_SDA	SEL	悬空
AG18	I2C_0_SCL	/	/	SEL	表 2-16
AF16	I2C_0_SDA	/	/	SEL	表 2-16
AF10	SPI0_CSN0	GPIO1_A5	/	SEL	表 2-21
AE11	SPI0_SCK	GPIO1_A6	/	SEL	表 2-21
AF17	SPI0_SO	GPIO1_A7	/	SEL	表 2-21
AG15	SPI0_SI	GPIO1_B0	/	SEL	表 2-21
AD15	SD_CMD	GPIO1_B1	/	SEL	表 2-30
AE22	SD_CLK	GPIO1_B2	/	SEL	表 2-30
AF28	SD_DAT0	GPIO1_B3	/	SEL	表 2-30
AE21	SD_DAT1	GPIO1_B4	/	SEL	表 2-30
AD26	SD_DAT2	GPIO1_B5	/	SEL	表 2-30
AF24	SD_DAT3	GPIO1_B6	/	SEL	表 2-30
AD27	SD_DETECT	/	/	SEL	表 2-30
AF20	HDA_BCLK	/	/	SEL	表 2-34
AE20	HDA_RST	/	/	SEL	表 2-34
AE23	HDA_SYNC	/	/	SEL	表 2-34
AE25	HDA_SDO	/	/	SEL	表 2-34
AD13	HDA_SDI0	/	/	SEL	表 2-34
AD16	UART_0_RXD	/	/	SEL	表 2-25
AE28	UART_0_TXD	/	/	SEL	表 2-25
AF14	UART_1_RXD	/	/	SEL	表 2-25
AE29	UART_1_TXD	/	/	SEL	表 2-25
AF23	UART_2_RXD	SPI1_CSN0	GPIO0_B5	SEL	表 2-25
AF13	UART_2_TXD	SPI1_SCK	HDA_SDI1	SEL	表 2-25
AF19	UART_3_RXD	SPI1_SO	HDA_SDI2	SEL	表 2-25
AF15	UART_3_TXD	SPI1_SI	HDA_SDI3	SEL	表 2-25
U27	QSPI_CSN0	/	/	SEL	表 2-19
AD29	QSPI_CSN1	GPIO1_B7	/	SEL	表 2-19
U28	QSPI_CSN2	SPI1_CSN1	GPIO0_B6	SEL	表 2-19
R26	QSPI_CSN3	SPI1_CSN2	GPIO0_B7	SEL	表 2-19
R27	QSPI_SCK	/	/	SEL	表 2-19
W28	QSPI_SO_IO0	/	/	SEL	表 2-19
Y28	QSPI_SI_IO1	/	/	SEL	表 2-19
AB28	QSPI_WP_IO2	/	/	SEL	表 2-19
U26	QSPI_HOLD_IO3	/	/	SEL	表 2-19

AE12	LPC_LAD0	GPIO1_A3	/	SEL	表 2-23
AF18	LPC_LAD1	GPIO1_A4	/	SEL	表 2-23
AE24	LPC_LAD2	SPI1_CSN3	/	SEL	表 2-23
AD28	LPC_LAD3	SPI0_CSN3	/	SEL	表 2-23
K25	PEU0_LINKUP0	/	/	NONE	表 2-12
K24	PEU0_LINKUP1	/	/	NONE	表 2-12
N26	PEU0_LINKUP2	/	/	NONE	表 2-12
N27	PEU0_C0_CLKREQ	/	/	SEL	表 2-12
L27	PEU0_C1_CLKREQ	/	/	SEL	表 2-12
L26	PEU0_C2_CLKREQ	/	/	SEL	表 2-12
K29	PEU1_C0_CLKREQ	/	/	SEL	表 2-12
J28	PEU1_C1_CLKREQ	/	/	SEL	表 2-12
M28	PEU1_C2_CLKREQ	/	/	SEL	表 2-12
L13	RGMII0_RX_CLK	/	/	SEL	表 2-14
K13	RGMII0_GTX_CLK	/	/	SEL	表 2-14
K12	RGMII0_RXD0	/	/	SEL	表 2-14
J12	RGMII0_RXD1	/	/	SEL	表 2-14
J11	RGMII0_RXD2	/	/	SEL	表 2-14
L12	RGMII0_RXD3	/	/	SEL	表 2-14
J10	RGMII0_RX_CTL	/	/	SEL	表 2-14
J14	RGMII0_TXD0	/	/	SEL	表 2-14
K14	RGMII0_TXD1	/	/	SEL	表 2-14
J15	RGMII0_TXD2	/	/	SEL	表 2-14
J13	RGMII0_TXD3	/	/	SEL	表 2-14
K15	RGMII0_TX_CTL	/	/	SEL	表 2-14
K18	RGMII0_MDC	/	/	SEL	表 2-14
K22	RGMII0_MDIO	/	/	SEL	表 2-14
K10	RGMII1_RX_CLK	/	/	SEL	表 2-14
L11	RGMII1_GTX_CLK	/	/	SEL	表 2-14
P10	/	RGMII1_RXD0	GPIO0_B0	SEL	下拉电阻
P9	/	RGMII1_RXD1	GPIO0_B1	SEL	下拉电阻
N10	/	RGMII1_RXD2	GPIO0_B2	SEL	下拉电阻
M9	/	RGMII1_RXD3	GPIO1_A0	SEL	下拉电阻
K9	/	RGMII1_RX_CTL	GPIO1_A1	SEL	下拉电阻
M11	RGMII1_TXD0	/	GPIO1_A2	SEL	表 2-14
K11	RGMII1_TXD1	/	SPI0_CSN1		表 2-14
L10	RGMII1_TXD2	/	SPI0_CSN2	SEL	表 2-14
N11	RGMII1_TXD3	/	GPIO0_B3	SEL	表 2-14
M10	RGMII1_TX_CTL	/	GPIO0_B4	SEL	表 2-14
H9	RGMII1_MDC	/	/	SEL	表 2-14
J21	RGMII1_MDIO	/	/	SEL	表 2-14
P27	CLK_REF	/	/	NONE	表 2-36

J18	CRU_RST_OK	/	/	NONE	表 2-36
T26	PWR_CTR0	/	/	NONE	表 2-36
R29	PWR_CTR1	/	/	NONE	表 2-36
AE19	LPC_RSTN_O	/	/	NONE	表 2-36
AE18	LPC_LFRAME_N	/	/	NONE	表 2-36
K20	POR_N	/	/	PULLUP	表 2-36
AE16	LPC_CLK	/	/	PULLDOWN	表 2-23
AD14	LPC_IRQ_N	/	/	PULLUP	表 2-23
AF25	LPC_LDRQ_N	/	/	PULLUP	表 2-23
AE17	TCK_SWJ	/	/	PULLUP	表 2-36
注：					
reserved: 保留					
SEL: 上下拉电阻可配					
PULLUP: 固定使用上拉电阻					
/: 空, 即未使用					
NONE: 不使用上下拉电阻					
PULLDOWN: 固定使用下拉电阻					

NC 处理规则: 只有各功能都为输入的引脚才可接电源或地(也可设置为上拉或者下拉状态), 输入悬空可能引入意外状态从而导致芯片逻辑混乱; 各功能都为输出的引脚可直接悬空, 建议禁用上/下拉状态, 否则会引入额外的漏电流; 同时有输入输出功能的复用引脚禁止直接连接到地或电源, 否则可能造成引脚烧损, 该类 NC 引脚建议悬空处理并软件设置上拉或下拉(内部没上拉或下拉时, 通过外部硬件设置)。各接口上拉或下拉电阻阻值, 请参考各接口标准协议。

2.2 DDR4 SDRAM 接口

DDR 控制器是 D2000 中的片外大容量存储控制部件, 负责管理全芯片的主存储器空间。其主要特性如下:

- 支持 DDR4、LPDDR4 协议;
- 支持 DDR4 UDIMM、SODIMM、RDIMM、LRDIMM;
- 支持的器件类型: DDR4: x4、x8、x16; LPDDR4: x16、x32;
- 支持的最高速率: DDR4——3200MT/s; LPDDR4——3200MT/s;
- 支持的接口电压: DDR4——1.2V; LPDDR4——1.1V;
- 支持 1/2/4 个 Rank;
- 支持两个 DDR 访问通道, 每个通道包含 64 个数据位和 8 个 ECC 校验位。注意: 受互连网络的地址映射方式限制, 在使用两个 DDR 通道时, 两通道上的存储容量必须保持一致;
- 支持多种低功耗功能, 包括 DRAM 自刷新、DDR 控制器时钟关断和电源关断;

- DDR4 模式下支持 3DS、DBI;
- 支持多种频率点的时序参数组合, 详见表 2-7;
- 支持多种组织形式的 DDR4、LPDDR4 器件, 详见表 2-8。

表 2-7 支持的 DDR4 时序参数组合

DRAM 类型	频率	CL ¹	tRCD ²	tRP ³	CWL ⁴
DDR4	3200	20/22/24	20/22/24	20/22/24	16/20
DDR4	2933	19/20/21/22	19/20/21/22	19/20/21/22	16/20
DDR4	2666	17/18/19/20	17/18/19/20	17/18/19/20	14/18
DDR4	2400	15/16/17/18	15/16/17/18	15/16/17/18	12/16
DDR4	2133	14/15/16	14/15/16	14/15/16	11/14
DDR4	1866	12/13/14	12/13/14	12/13/14	10/12
DDR4	1600	10/11/12	10/11/12	10/11/12	9/11
1. CL: CAS Latency (读命令到读数据的时钟周期数)			2. tRCD: RAS-to-CAS delay (行激活命令到读写命令的延迟周期数)		
3. tRP: Precharge Period (预充电时间周期数)			4. CWL: CAS Write Latency (写命令到写数据的时钟周期数)		

表 2-8 支持的 LPDDR4 时序参数组合

DRAM 类型	频率	RL ¹	tRCD ²	tRP ³	WL ⁴
LPDDR4	3200	28/32	18ns		14/26
LPDDR4	2666	24/28			12/22
LPDDR4	2133	20/22			10/18
LPDDR4	1600	14/16			8/12
LPDDR4	1066	10/12			6/8
注：					
1. RL: Read Latency（读命令到读数据的时钟周期数）			2. tRCD: RAS-to-CAS delay（行激活命令到读写命令的延迟周期数）		
3. tRP: Precharge Period（预充电时间周期数）			4. WL: Write Latency（写命令到写数据的时钟周期数）		

表 2-8 支持的 DDR4 器件参数组合

DRAM 颗粒容量	DRAM 组织形式	行列地址位宽	Bank 个数	页容量
2Gb	128Mx16	14/10	8	2KB
2Gb	256Mx8	14/10	16	1KB
2Gb	512Mx4	15/10	16	512B
4Gb	256Mx16	15/10	8	2KB
4Gb	512Mx8	15/10	16	1KB
4Gb	1Gx4	16/10	16	512B
8Gb	512Mx16	16/10	8	2KB
8Gb	1Gx8	16/10	16	1KB

8Gb	2Gx4	17/10	16	512B
16Gb	1Gx16	17/10	8	2KB
16Gb	2Gx8	17/10	16	1KB
16Gb	4Gx4	18/10	16	512B
2Gb	128Mx16	14/10	8	2KB
2Gb	256Mx8	14/10	16	1KB
2Gb	512Mx4	15/10	16	512B
4Gb	256Mx16	15/10	8	2KB
4Gb	512Mx8	15/10	16	1KB
4Gb	1Gx4	16/10	16	512B
8Gb	512Mx16	16/10	8	2KB
8Gb	1Gx8	16/10	16	1KB
8Gb	2Gx4	17/10	16	512B
16Gb	1Gx16	17/10	8	2KB
16Gb	2Gx8	17/10	16	1KB
16Gb	4Gx4	18/10	16	512B

表 2-9 支持的 LPDDR4 器件参数组合

DRAM 颗粒容量	DRAM 组织形式	行列地址位宽	Bank 个数	
2Gb	128Mx16	14/10	8	2KB
3Gb	192Mx16	15/10	8	2KB
4Gb	256Mx16	15/10	8	2KB
6Gb	384Mx16	16/10	8	2KB
8Gb	512Mx16	16/10	8	2KB
4Gb	128Mx32	14/10	8	2KB
6Gb	192Mx32	15/10	8	2KB
8Gb	256Mx32	15/10	8	2KB
12Gb	384Mx32	16/10	8	2KB
16Gb	512Mx32	16/10	8	2KB
24Gb	768Mx32	17/10	8	2KB
32Gb	1Gx32	17/10	8	2KB

表 2-10 DDR4 模式接口信号说明

信号名	输入/输出	描述	NC 处理方法	电平标准
LMUx_A0	O	DDR4 SDRAM 接口地址和控制命令信号，包括 BankArray、BankGroup 等	悬空	SSTL
LMUx_A1	O		悬空	SSTL
LMUx_A2	O		悬空	SSTL
LMUx_A3	O		悬空	SSTL
LMUx_A4	O		悬空	SSTL
LMUx_A5	O		悬空	SSTL
LMUx_A6	O		悬空	SSTL

LMUx_A7	O		悬空	SSTL
LMUx_A8	O		悬空	SSTL
LMUx_A9	O		悬空	SSTL
LMUx_A10	O		悬空	SSTL
LMUx_A11	O		悬空	SSTL
LMUx_A12	O		悬空	SSTL
LMUx_A13	O		悬空	SSTL
LMUx_A14/WE_N	O		悬空	SSTL
LMUx_A15/CAS_N	O		悬空	SSTL
LMUx_A16/RAS_N	O		悬空	SSTL
LMUx_A17	O		悬空	SSTL
LMUx_BA0	O		悬空	SSTL
LMUx_BA1	O		悬空	SSTL
LMUx_BG0	O		悬空	SSTL
LMUx_BG1	O		悬空	SSTL
LMUx_C0	O	DDR4 SDRAM 通道的 ChipID, 用于 3DS 类型的存储器	悬空	SSTL
LMUx_C1	O		悬空	SSTL
LMUx_C2	O		悬空	SSTL
LMUx_CKE0	O	DDR4 SDRAM 通道的时钟使能信号	悬空	SSTL
LMUx_CKE1	O		悬空	SSTL
LMUx_CKE2	O		悬空	SSTL
LMUx_CKE3	O		悬空	SSTL
LMUx_CS0	O	DDR4 SDRAM 通道的片选信号	悬空	SSTL
LMUx_CS1	O		悬空	SSTL
LMUx_CS2	O		悬空	SSTL
LMUx_CS3	O		悬空	SSTL
LMUx_ODT0	O	DDR4 SDRAM 通道的终端匹配电阻的使能控制信号	悬空	SSTL
LMUx_ODT1	O		悬空	SSTL
LMUx_ODT2	O		悬空	SSTL
LMUx_ODT3	O		悬空	SSTL
LMUx_BP_ZN	I/O	阻抗校准接口信号	悬空	N/A
LMUx_ACT_N	O	Activation 命令接口信号	悬空	SSTL
LMUx_BP_ALERT_N	I	DDR4 SDRAM 通道的故障指示信号	悬空	SSTL
LMUx_BP_MEMRESET_L	O	DDR4 SDRAM 通道的复位信号	悬空	SSTL
LMUx_PAR	O	DDR4 SDRAM 通道的校验信号	悬空	SSTL
LMUx_BP_VREF	I	DDR4 SDRAM 通道的参考电压输入	悬空	N/A

LMUx_D_OBV	O	DDR4 SDRAM 通道的观察信号，用于调试	悬空	N/A
LMUx_CLK_C0	O	四路 DDR4 SDRAM 通道的差分时钟	悬空	SSTL
LMUx_CLK_T0	O		悬空	SSTL
LMUx_CLK_C1	O		悬空	SSTL
LMUx_CLK_T1	O		悬空	SSTL
LMUx_CLK_C2	O		悬空	SSTL
LMUx_CLK_T2	O		悬空	SSTL
LMUx_CLK_C3	O		悬空	SSTL
LMUx_CLK_T3	O		悬空	SSTL
LMUx_DQS_C0	I/O	18 路 DDR4 SDRAM 通道的数据差分选通信号	悬空	POD
LMUx_DQS_T0	I/O		悬空	POD
LMUx_DQS_C1	I/O		悬空	POD
LMUx_DQS_T1	I/O		悬空	POD
LMUx_DQS_C2	I/O		悬空	POD
LMUx_DQS_T2	I/O		悬空	POD
LMUx_DQS_C3	I/O		悬空	POD
LMUx_DQS_T3	I/O		悬空	POD
LMUx_DQS_C4	I/O		悬空	POD
LMUx_DQS_T4	I/O		悬空	POD
LMUx_DQS_C5	I/O		悬空	POD
LMUx_DQS_T5	I/O		悬空	POD
LMUx_DQS_C6	I/O		悬空	POD
LMUx_DQS_T6	I/O		悬空	POD
LMUx_DQS_C7	I/O		悬空	POD
LMUx_DQS_T7	I/O		悬空	POD
LMUx_DQS_C8	I/O		悬空	POD
LMUx_DQS_T8	I/O		悬空	POD
LMUx_DQS_C9	I/O		悬空	POD
LMUx_DQS_T9	I/O		悬空	POD
LMUx_DQS_C10	I/O		悬空	POD
LMUx_DQS_T10	I/O		悬空	POD
LMUx_DQS_C11	I/O		悬空	POD
LMUx_DQS_T11	I/O		悬空	POD
LMUx_DQS_C12	I/O		悬空	POD
LMUx_DQS_T12	I/O		悬空	POD
LMUx_DQS_C13	I/O		悬空	POD
LMUx_DQS_T13	I/O		悬空	POD
LMUx_DQS_C14	I/O		悬空	POD
LMUx_DQS_T14	I/O		悬空	POD
LMUx_DQS_C15	I/O		悬空	POD

LMU _x _DQS_T15	I/O		悬空	POD
LMU _x _DQS_C16	I/O		悬空	POD
LMU _x _DQS_T16	I/O		悬空	POD
LMU _x _DQS_C17	I/O		悬空	POD
LMU _x _DQS_T17	I/O		悬空	POD
LMU _x _DQ0	I/O	DDR4 SDRAM 通道的 64 位数据接口信号	悬空	POD
LMU _x _DQ1	I/O		悬空	POD
LMU _x _DQ2	I/O		悬空	POD
LMU _x _DQ3	I/O		悬空	POD
LMU _x _DQ4	I/O		悬空	POD
LMU _x _DQ5	I/O		悬空	POD
LMU _x _DQ6	I/O		悬空	POD
LMU _x _DQ7	I/O		悬空	POD
LMU _x _DQ8	I/O		悬空	POD
LMU _x _DQ9	I/O		悬空	POD
LMU _x _DQ10	I/O		悬空	POD
LMU _x _DQ11	I/O		悬空	POD
LMU _x _DQ12	I/O		悬空	POD
LMU _x _DQ13	I/O		悬空	POD
LMU _x _DQ14	I/O		悬空	POD
LMU _x _DQ15	I/O		悬空	POD
LMU _x _DQ16	I/O		悬空	POD
LMU _x _DQ17	I/O		悬空	POD
LMU _x _DQ18	I/O		悬空	POD
LMU _x _DQ19	I/O		悬空	POD
LMU _x _DQ20	I/O		悬空	POD
LMU _x _DQ21	I/O		悬空	POD
LMU _x _DQ22	I/O		悬空	POD
LMU _x _DQ23	I/O		悬空	POD
LMU _x _DQ24	I/O		悬空	POD
LMU _x _DQ25	I/O		悬空	POD
LMU _x _DQ26	I/O		悬空	POD
LMU _x _DQ27	I/O		悬空	POD
LMU _x _DQ28	I/O		悬空	POD
LMU _x _DQ29	I/O		悬空	POD
LMU _x _DQ30	I/O		悬空	POD
LMU _x _DQ31	I/O		悬空	POD
LMU _x _DQ32	I/O		悬空	POD
LMU _x _DQ33	I/O		悬空	POD
LMU _x _DQ34	I/O		悬空	POD
LMU _x _DQ35	I/O		悬空	POD
LMU _x _DQ36	I/O		悬空	POD

LMUx_DQ37	I/O		悬空	POD
LMUx_DQ38	I/O		悬空	POD
LMUx_DQ39	I/O		悬空	POD
LMUx_DQ40	I/O		悬空	POD
LMUx_DQ41	I/O		悬空	POD
LMUx_DQ42	I/O		悬空	POD
LMUx_DQ43	I/O		悬空	POD
LMUx_DQ44	I/O		悬空	POD
LMUx_DQ45	I/O		悬空	POD
LMUx_DQ46	I/O		悬空	POD
LMUx_DQ47	I/O		悬空	POD
LMUx_DQ48	I/O		悬空	POD
LMUx_DQ49	I/O		悬空	POD
LMUx_DQ50	I/O		悬空	POD
LMUx_DQ51	I/O		悬空	POD
LMUx_DQ52	I/O		悬空	POD
LMUx_DQ53	I/O		悬空	POD
LMUx_DQ54	I/O		悬空	POD
LMUx_DQ55	I/O		悬空	POD
LMUx_DQ56	I/O		悬空	POD
LMUx_DQ57	I/O		悬空	POD
LMUx_DQ58	I/O		悬空	POD
LMUx_DQ59	I/O		悬空	POD
LMUx_DQ60	I/O		悬空	POD
LMUx_DQ61	I/O		悬空	POD
LMUx_DQ62	I/O		悬空	POD
LMUx_DQ63	I/O		悬空	POD
LMUx_CB0	I/O	DDR4 SDRAM 通道的校验数据接口信号	悬空	POD
LMUx_CB1	I/O		悬空	POD
LMUx_CB2	I/O		悬空	POD
LMUx_CB3	I/O		悬空	POD
LMUx_CB4	I/O		悬空	POD
LMUx_CB5	I/O		悬空	POD
LMUx_CB6	I/O		悬空	POD
LMUx_CB7	I/O		悬空	POD

表 2-11 LPDDR4 模式接口信号说明

信号名	输入/输出	描述	NC 处理方法	电平标准
LMUx_A0	O	LPDDR4 地址和控制命令信号	悬空	LVSTL
LMUx_A1	O		悬空	LVSTL
LMUx_A2	O		悬空	LVSTL

LMUx_A3	O		悬空	LVSTL
LMUx_A4	O		悬空	LVSTL
LMUx_A5	O		悬空	LVSTL
LMUx_A6	O		悬空	LVSTL
LMUx_A7	O		悬空	LVSTL
LMUx_A8	O		悬空	LVSTL
LMUx_A9	O		悬空	LVSTL
LMUx_A10	O		悬空	LVSTL
LMUx_A11	O		悬空	LVSTL
LMUx_A12	O	/	悬空	N/A
LMUx_A13	O		悬空	N/A
LMUx_A14/WE_N	O	同 LMUx_CS3	悬空	LVSTL
LMUx_A15/CAS_N	O	同 LMUx_CS2	悬空	LVSTL
LMUx_A16/RAS_N	O	同 LMUx_CS1	悬空	LVSTL
LMUx_A17	O	/	悬空	N/A
LMUx_BA0	O	同 LMUx_CS0	悬空	LVSTL
LMUx_BA1	O	同 LMUx_CS1	悬空	LVSTL
LMUx_BG0	O	同 LMUx_CS3	悬空	LVSTL
LMUx_BG1	O		悬空	N/A
LMUx_C0	O	/	悬空	N/A
LMUx_C1	O		悬空	N/A
LMUx_C2	O		悬空	N/A
LMUx_CKE0	O	LPDDR4 时钟使能 信号	悬空	LVSTL
LMUx_CKE1	O		悬空	LVSTL
LMUx_CKE2	O		悬空	LVSTL
LMUx_CKE3	O		悬空	LVSTL
LMUx_CS0	O	LPDDR4 片选信号	悬空	LVSTL
LMUx_CS1	O		悬空	LVSTL
LMUx_CS2	O		悬空	LVSTL
LMUx_CS3	O		悬空	LVSTL
LMUx_ODT0	O	同 LMUx_CS0	悬空	LVSTL
LMUx_ODT1	O	同 LMUx_CS1	悬空	LVSTL
LMUx_ODT2	O	同 LMUx_CS2	悬空	LVSTL
LMUx_ODT3	O	同 LMUx_CS0	悬空	LVSTL
LMUx_BP_ZN	I/O	阻抗校准接口信号	悬空	N/A
LMUx_ACT_N	O	同 LMUx_CS2	悬空	LVSTL
LMUx_BP_ALERT_N	I	/	悬空	N/A
LMUx_BP_MEMRESET_L	O	LPDDR4 复位信号	悬空	LVSTL
LMUx_PAR	O	同 LMUx_CS3	悬空	LVSTL
LMUx_BP_VREF	I	/	悬空	N/A
LMUx_D_OBV	O	/	悬空	N/A
LMUx_CLK_C0	O	LPDDR4 差分时钟	悬空	LVSTL

LMUx_CLK_T0	O		悬空	LVSTL
LMUx_CLK_C1	O		悬空	LVSTL
LMUx_CLK_T1	O		悬空	LVSTL
LMUx_CLK_C2	O		悬空	LVSTL
LMUx_CLK_T2	O		悬空	LVSTL
LMUx_CLK_C3	O		悬空	LVSTL
LMUx_CLK_T3	O		悬空	LVSTL
LMUx_DQS_C0	I/O	LPDDR4 数据差分 选通信号	悬空	LVSTL
LMUx_DQS_T0	I/O		悬空	LVSTL
LMUx_DQS_C1	I/O		悬空	LVSTL
LMUx_DQS_T1	I/O		悬空	LVSTL
LMUx_DQS_C2	I/O		悬空	LVSTL
LMUx_DQS_T2	I/O		悬空	LVSTL
LMUx_DQS_C3	I/O		悬空	LVSTL
LMUx_DQS_T3	I/O		悬空	LVSTL
LMUx_DQS_C4	I/O		悬空	LVSTL
LMUx_DQS_T4	I/O		悬空	LVSTL
LMUx_DQS_C5	I/O		悬空	LVSTL
LMUx_DQS_T5	I/O		悬空	LVSTL
LMUx_DQS_C6	I/O		悬空	LVSTL
LMUx_DQS_T6	I/O		悬空	LVSTL
LMUx_DQS_C7	I/O		悬空	LVSTL
LMUx_DQS_T7	I/O		悬空	LVSTL
LMUx_DQS_C8	I/O		悬空	LVSTL
LMUx_DQS_T8	I/O		悬空	LVSTL
LMUx_DQS_C9	I/O		悬空	LVSTL
LMUx_DQS_T9	I/O		悬空	LVSTL
LMUx_DQS_C10	I/O		悬空	LVSTL
LMUx_DQS_T10	I/O		悬空	LVSTL
LMUx_DQS_C11	I/O		悬空	LVSTL
LMUx_DQS_T11	I/O		悬空	LVSTL
LMUx_DQS_C12	I/O		悬空	LVSTL
LMUx_DQS_T12	I/O		悬空	LVSTL
LMUx_DQS_C13	I/O		悬空	LVSTL
LMUx_DQS_T13	I/O		悬空	LVSTL
LMUx_DQS_C14	I/O		悬空	LVSTL
LMUx_DQS_T14	I/O		悬空	LVSTL
LMUx_DQS_C15	I/O		悬空	LVSTL
LMUx_DQS_T15	I/O		悬空	LVSTL
LMUx_DQS_C16	I/O		悬空	LVSTL
LMUx_DQS_T16	I/O		悬空	LVSTL
LMUx_DQS_C17	I/O		悬空	LVSTL

LMUx_DQS_T17	I/O	LPDDR4 数据接口 信号	悬空	LVSTL
LMUx_DQ0	I/O		悬空	LVSTL
LMUx_DQ1	I/O		悬空	LVSTL
LMUx_DQ2	I/O		悬空	LVSTL
LMUx_DQ3	I/O		悬空	LVSTL
LMUx_DQ4	I/O		悬空	LVSTL
LMUx_DQ5	I/O		悬空	LVSTL
LMUx_DQ6	I/O		悬空	LVSTL
LMUx_DQ7	I/O		悬空	LVSTL
LMUx_DQ8	I/O		悬空	LVSTL
LMUx_DQ9	I/O		悬空	LVSTL
LMUx_DQ10	I/O		悬空	LVSTL
LMUx_DQ11	I/O		悬空	LVSTL
LMUx_DQ12	I/O		悬空	LVSTL
LMUx_DQ13	I/O		悬空	LVSTL
LMUx_DQ14	I/O		悬空	LVSTL
LMUx_DQ15	I/O		悬空	LVSTL
LMUx_DQ16	I/O		悬空	LVSTL
LMUx_DQ17	I/O		悬空	LVSTL
LMUx_DQ18	I/O		悬空	LVSTL
LMUx_DQ19	I/O		悬空	LVSTL
LMUx_DQ20	I/O		悬空	LVSTL
LMUx_DQ21	I/O		悬空	LVSTL
LMUx_DQ22	I/O		悬空	LVSTL
LMUx_DQ23	I/O		悬空	LVSTL
LMUx_DQ24	I/O		悬空	LVSTL
LMUx_DQ25	I/O		悬空	LVSTL
LMUx_DQ26	I/O		悬空	LVSTL
LMUx_DQ27	I/O		悬空	LVSTL
LMUx_DQ28	I/O		悬空	LVSTL
LMUx_DQ29	I/O		悬空	LVSTL
LMUx_DQ30	I/O		悬空	LVSTL
LMUx_DQ31	I/O		悬空	LVSTL
LMUx_DQ32	I/O		悬空	LVSTL
LMUx_DQ33	I/O		悬空	LVSTL
LMUx_DQ34	I/O		悬空	LVSTL
LMUx_DQ35	I/O		悬空	LVSTL
LMUx_DQ36	I/O		悬空	LVSTL
LMUx_DQ37	I/O		悬空	LVSTL
LMUx_DQ38	I/O		悬空	LVSTL
LMUx_DQ39	I/O		悬空	LVSTL
LMUx_DQ40	I/O		悬空	LVSTL

LMU _x _DQ41	I/O		悬空	LVSTL
LMU _x _DQ42	I/O		悬空	LVSTL
LMU _x _DQ43	I/O		悬空	LVSTL
LMU _x _DQ44	I/O		悬空	LVSTL
LMU _x _DQ45	I/O		悬空	LVSTL
LMU _x _DQ46	I/O		悬空	LVSTL
LMU _x _DQ47	I/O		悬空	LVSTL
LMU _x _DQ48	I/O		悬空	LVSTL
LMU _x _DQ49	I/O		悬空	LVSTL
LMU _x _DQ50	I/O		悬空	LVSTL
LMU _x _DQ51	I/O		悬空	LVSTL
LMU _x _DQ52	I/O		悬空	LVSTL
LMU _x _DQ53	I/O		悬空	LVSTL
LMU _x _DQ54	I/O		悬空	LVSTL
LMU _x _DQ55	I/O		悬空	LVSTL
LMU _x _DQ56	I/O		悬空	LVSTL
LMU _x _DQ57	I/O		悬空	LVSTL
LMU _x _DQ58	I/O		悬空	LVSTL
LMU _x _DQ59	I/O		悬空	LVSTL
LMU _x _DQ60	I/O		悬空	LVSTL
LMU _x _DQ61	I/O		悬空	LVSTL
LMU _x _DQ62	I/O		悬空	LVSTL
LMU _x _DQ63	I/O	LPDDR4 校验数据 接口信号	悬空	LVSTL
LMU _x _CB0	I/O		悬空	LVSTL
LMU _x _CB1	I/O		悬空	LVSTL
LMU _x _CB2	I/O		悬空	LVSTL
LMU _x _CB3	I/O		悬空	LVSTL
LMU _x _CB4	I/O		悬空	LVSTL
LMU _x _CB5	I/O		悬空	LVSTL
LMU _x _CB6	I/O		悬空	LVSTL
LMU _x _CB7	I/O		悬空	LVSTL

2.3 PCIe 接口

D2000 的 PCIe 接口分为 PEU0 和 PEU1 两路接口，每路 PEU 都支持 PCIe 3.0 规范。PCIe 的接口描述如表 2-12 所示。

PCIe 接口特性如下：

- 支持 Root Complex 和 End Point 两种模式，软件可配置；
- 两路 PEU 共 34 Lanes，每路为一个 X16 和一个 X1，其中 X16 可拆分为两个 X8；

- PEU 内部集成 DMA 引擎，一读写两个通道。

表 2-12 PCIe 接口描述

信号	输入/输出	描述	NC 处理方式	电平类型
PEU0_LINKUP0	O	PCIe 控制器的 Linkup0 信号	悬空	CMOS
PEU0_LINKUP1	O	PCIe 控制器的 Linkup1 信号	悬空	CMOS
PEU0_LINKUP2	O	PCIe 控制器的 Linkup2 信号	悬空	CMOS
PEU1_LINKUP0	O	PCIe 控制器 1 的 Linkup0 信号	悬空	CMOS
PEU1_LINKUP1	O	PCIe 控制器 1 的 Linkup1 信号	悬空	CMOS
PEU1_LINKUP2	O	PCIe 控制器 1 的 Linkup2 信号	悬空	CMOS
PEU0_X16_TXP0	O	PEU0 X16 PMA lane0 发送器串行数据	悬空	CML
PEU0_X16_TXP1	O	PEU0 X16 PMA lane1 发送器串行数据	悬空	CML
PEU0_X16_TXP2	O	PEU0 X16 PMA lane2 发送器串行数据	悬空	CML
PEU0_X16_TXP3	O	PEU0 X16 PMA lane3 发送器串行数据	悬空	CML
PEU0_X16_TXP4	O	PEU0 X16 PMA lane4 发送器串行数据	悬空	CML
PEU0_X16_TXP5	O	PEU0 X16 PMA lane5 发送器串行数据	悬空	CML
PEU0_X16_TXP6	O	PEU0 X16 PMA lane6 发送器串行数据	悬空	CML
PEU0_X16_TXP7	O	PEU0 X16 PMA lane7 发送器串行数据	悬空	CML
PEU0_X16_TXP8	O	PEU0 X16 PMA lane8 发送器串行数据	悬空	CML
PEU0_X16_TXP9	O	PEU0 X16 PMA lane9 发送器串行数据	悬空	CML
PEU0_X16_TXP10	O	PEU0 X16 PMA lane10 发送器串行数据	悬空	CML
PEU0_X16_TXP11	O	PEU0 X16 PMA lane11 发送器串行数据	悬空	CML
PEU0_X16_TXP12	O	PEU0 X16 PMA lane12 发送器串行数据	悬空	CML
PEU0_X16_TXP13	O	PEU0 X16 PMA lane13 发送器串行数据	悬空	CML
PEU0_X16_TXP14	O	PEU0 X16 PMA lane14 发送器串行数据	悬空	CML
PEU0_X16_TXP15	O	PEU0 X16 PMA lane15 发送器串行数据	悬空	CML
PEU0_X16_TXN0	O	PEU0 X16 PMA lane0 发送器串行数据	悬空	CML
PEU0_X16_TXN1	O	PEU0 X16 PMA lane1 发送器串行数据	悬空	CML
PEU0_X16_TXN2	O	PEU0 X16 PMA lane2 发送器串行数据	悬空	CML
PEU0_X16_TXN3	O	PEU0 X16 PMA lane3 发送器串行数据	悬空	CML
PEU0_X16_TXN4	O	PEU0 X16 PMA lane4 发送器串行数据	悬空	CML
PEU0_X16_TXN5	O	PEU0 X16 PMA lane5 发送器串行数据	悬空	CML
PEU0_X16_TXN6	O	PEU0 X16 PMA lane6 发送器串行数据	悬空	CML
PEU0_X16_TXN7	O	PEU0 X16 PMA lane7 发送器串行数据	悬空	CML
PEU0_X16_TXN8	O	PEU0 X16 PMA lane8 发送器串行数据	悬空	CML
PEU0_X16_TXN9	O	PEU0 X16 PMA lane9 发送器串行数据	悬空	CML
PEU0_X16_TXN10	O	PEU0 X16 PMA lane10 发送器串行数据	悬空	CML
PEU0_X16_TXN11	O	PEU0 X16 PMA lane11 发送器串行数据	悬空	CML
PEU0_X16_TXN12	O	PEU0 X16 PMA lane12 发送器串行数据	悬空	CML
PEU0_X16_TXN13	O	PEU0 X16 PMA lane13 发送器串行数据	悬空	CML
PEU0_X16_TXN14	O	PEU0 X16 PMA lane14 发送器串行数据	悬空	CML
PEU0_X16_TXN15	O	PEU0 X16 PMA lane15 发送器串行数据	悬空	CML

PEU0_X1_TXP	O	PEU0 X1 PMA lane0 发送器串行数据	悬空	CML
PEU0_X1_TXN	O	PEU0 X1 PMA lane0 发送器串行数据	悬空	CML
PEU0_X16_RXP0	I	PEU0 X16 PMA lane0 接收器串行数据	悬空	CML
PEU0_X16_RXP1	I	PEU0 X16 PMA lane1 接收器串行数据	悬空	CML
PEU0_X16_RXP2	I	PEU0 X16 PMA lane2 接收器串行数据	悬空	CML
PEU0_X16_RXP3	I	PEU0 X16 PMA lane3 接收器串行数据	悬空	CML
PEU0_X16_RXP4	I	PEU0 X16 PMA lane4 接收器串行数据	悬空	CML
PEU0_X16_RXP5	I	PEU0 X16 PMA lane5 接收器串行数据	悬空	CML
PEU0_X16_RXP6	I	PEU0 X16 PMA lane6 接收器串行数据	悬空	CML
PEU0_X16_RXP7	I	PEU0 X16 PMA lane7 接收器串行数据	悬空	CML
PEU0_X16_RXP8	I	PEU0 X16 PMA lane8 接收器串行数据	悬空	CML
PEU0_X16_RXP9	I	PEU0 X16 PMA lane9 接收器串行数据	悬空	CML
PEU0_X16_RXP10	I	PEU0 X16 PMA lane10 接收器串行数据	悬空	CML
PEU0_X16_RXP11	I	PEU0 X16 PMA lane11 接收器串行数据	悬空	CML
PEU0_X16_RXP12	I	PEU0 X16 PMA lane12 接收器串行数据	悬空	CML
PEU0_X16_RXP13	I	PEU0 X16 PMA lane13 接收器串行数据	悬空	CML
PEU0_X16_RXP14	I	PEU0 X16 PMA lane14 接收器串行数据	悬空	CML
PEU0_X16_RXP15	I	PEU0 X16 PMA lane15 接收器串行数据	悬空	CML
PEU0_X16_RXN0	I	PEU0 X16 PMA lane0 接收器串行数据	悬空	CML
PEU0_X16_RXN1	I	PEU0 X16 PMA lane1 接收器串行数据	悬空	CML
PEU0_X16_RXN2	I	PEU0 X16 PMA lane2 接收器串行数据	悬空	CML
PEU0_X16_RXN3	I	PEU0 X16 PMA lane3 接收器串行数据	悬空	CML
PEU0_X16_RXN4	I	PEU0 X16 PMA lane4 接收器串行数据	悬空	CML
PEU0_X16_RXN5	I	PEU0 X16 PMA lane5 接收器串行数据	悬空	CML
PEU0_X16_RXN6	I	PEU0 X16 PMA lane6 接收器串行数据	悬空	CML
PEU0_X16_RXN7	I	PEU0 X16 PMA lane7 接收器串行数据	悬空	CML
PEU0_X16_RXN8	I	PEU0 X16 PMA lane8 接收器串行数据	悬空	CML
PEU0_X16_RXN9	I	PEU0 X16 PMA lane9 接收器串行数据	悬空	CML
PEU0_X16_RXN10	I	PEU0 X16 PMA lane10 接收器串行数据	悬空	CML
PEU0_X16_RXN11	I	PEU0 X16 PMA lane11 接收器串行数据	悬空	CML
PEU0_X16_RXN12	I	PEU0 X16 PMA lane12 接收器串行数据	悬空	CML
PEU0_X16_RXN13	I	PEU0 X16 PMA lane13 接收器串行数据	悬空	CML
PEU0_X16_RXN14	I	PEU0 X16 PMA lane14 接收器串行数据	悬空	CML
PEU0_X16_RXN15	I	PEU0 X16 PMA lane15 接收器串行数据	悬空	CML
PEU0_X1_RXP	I	PEU0 X1 lane0 发送器串行数据	悬空	CML
PEU0_X1_RXN	I	PEU0 X1 lane0 发送器串行数据	悬空	CML
PEU0_REFCLKP	I	PEU0 外部参考时钟	悬空	CML
PEU0_REFCLKN	I	PEU0 外部参考时钟	悬空	CML
PEU0_C0_CLKREQ	IO	PEU0 C0 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部 接上拉电阻	CMOS

PEU0_C1_CLKREQ	IO	PEU0 C1 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部接上拉电阻	CMOS
PEU0_C2_CLKREQ	IO	PEU0 C2 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部接上拉电阻	CMOS
PEU0_X1_ATB0	IO	PEU0 X1 PMA 模拟测试总线	悬空	CMOS
PEU0_X1_ATB1	IO	PEU0 X1 PMA 模拟测试总线	悬空	CMOS
PEU0_X16_ATB0	IO	PEU0 X16 PMA 模拟测试总线	悬空	CMOS
PEU0_X16_ATB1	IO	PEU0 X16 PMA 模拟测试总线	悬空	CMOS
PEU0_X1_REXT	I	PEU0 X1 PMA 外部校准电阻	连 3.01K Ω 电阻到地	无
PEU0_X16_REXT	I	PEU0 X16 PMA 外部校准电阻	连 3.01K Ω 电阻到地	无
PEU1_X16_TXP0	O	PEU1 X16 PMA lane0 发送器串行数据	悬空	CML
PEU1_X16_TXP1	O	PEU1 X16 PMA lane1 发送器串行数据	悬空	CML
PEU1_X16_TXP2	O	PEU1 X16 PMA lane2 发送器串行数据	悬空	CML
PEU1_X16_TXP3	O	PEU1 X16 PMA lane3 发送器串行数据	悬空	CML
PEU1_X16_TXP4	O	PEU1 X16 PMA lane4 发送器串行数据	悬空	CML
PEU1_X16_TXP5	O	PEU1 X16 PMA lane5 发送器串行数据	悬空	CML
PEU1_X16_TXP6	O	PEU1 X16 PMA lane6 发送器串行数据	悬空	CML
PEU1_X16_TXP7	O	PEU1 X16 PMA lane7 发送器串行数据	悬空	CML
PEU1_X16_TXP8	O	PEU1 X16 PMA lane8 发送器串行数据	悬空	CML
PEU1_X16_TXP9	O	PEU1 X16 PMA lane9 发送器串行数据	悬空	CML
PEU1_X16_TXP10	O	PEU1 X16 PMA lane10 发送器串行数据	悬空	CML
PEU1_X16_TXP11	O	PEU1 X16 PMA lane11 发送器串行数据	悬空	CML
PEU1_X16_TXP12	O	PEU1 X16 PMA lane12 发送器串行数据	悬空	CML
PEU1_X16_TXP13	O	PEU1 X16 PMA lane13 发送器串行数据	悬空	CML
PEU1_X16_TXP14	O	PEU1 X16 PMA lane14 发送器串行数据	悬空	CML
PEU1_X16_TXP15	O	PEU1 X16 PMA lane15 发送器串行数据	悬空	CML
PEU1_X16_TXN0	O	PEU1 X16 PMA lane0 发送器串行数据	悬空	CML
PEU1_X16_TXN1	O	PEU1 X16 PMA lane1 发送器串行数据	悬空	CML
PEU1_X16_TXN2	O	PEU1 X16 PMA lane2 发送器串行数据	悬空	CML
PEU1_X16_TXN3	O	PEU1 X16 PMA lane3 发送器串行数据	悬空	CML
PEU1_X16_TXN4	O	PEU1 X16 PMA lane4 发送器串行数据	悬空	CML
PEU1_X16_TXN5	O	PEU1 X16 PMA lane5 发送器串行数据	悬空	CML
PEU1_X16_TXN6	O	PEU1 X16 PMA lane6 发送器串行数据	悬空	CML
PEU1_X16_TXN7	O	PEU1 X16 PMA lane7 发送器串行数据	悬空	CML
PEU1_X16_TXN8	O	PEU1 X16 PMA lane8 发送器串行数据	悬空	CML
PEU1_X16_TXN9	O	PEU1 X16 PMA lane9 发送器串行数据	悬空	CML
PEU1_X16_TXN10	O	PEU1 X16 PMA lane10 发送器串行数据	悬空	CML
PEU1_X16_TXN11	O	PEU1 X16 PMA lane11 发送器串行数据	悬空	CML
PEU1_X16_TXN12	O	PEU1 X16 PMA lane12 发送器串行数据	悬空	CML

PEU1_X16_TXN13	O	PEU1 X16 PMA lane13 发送器串行数据	悬空	CML
PEU1_X16_TXN14	O	PEU1 X16 PMA lane14 发送器串行数据	悬空	CML
PEU1_X16_TXN15	O	PEU1 X16 PMA lane15 发送器串行数据	悬空	CML
PEU1_X1_TXP	O	PEU1 X1 PMA lane0 发送器串行数据	悬空	CML
PEU1_X1_TXN	O	PEU1 X1 PMA lane0 发送器串行数据	悬空	CML
PEU1_X16_RXP0	I	PEU0 X16 PMA lane0 接收器串行数据	悬空	CML
PEU1_X16_RXP1	I	PEU0 X16 PMA lane1 接收器串行数据	悬空	CML
PEU1_X16_RXP2	I	PEU0 X16 PMA lane2 接收器串行数据	悬空	CML
PEU1_X16_RXP3	I	PEU0 X16 PMA lane3 接收器串行数据	悬空	CML
PEU1_X16_RXP4	I	PEU0 X16 PMA lane4 接收器串行数据	悬空	CML
PEU1_X16_RXP5	I	PEU0 X16 PMA lane5 接收器串行数据	悬空	CML
PEU1_X16_RXP6	I	PEU0 X16 PMA lane6 接收器串行数据	悬空	CML
PEU1_X16_RXP7	I	PEU0 X16 PMA lane7 接收器串行数据	悬空	CML
PEU1_X16_RXP8	I	PEU0 X16 PMA lane8 接收器串行数据	悬空	CML
PEU1_X16_RXP9	I	PEU0 X16 PMA lane9 接收器串行数据	悬空	CML
PEU1_X16_RXP10	I	PEU0 X16 PMA lane10 接收器串行数据	悬空	CML
PEU1_X16_RXP11	I	PEU0 X16 PMA lane11 接收器串行数据	悬空	CML
PEU1_X16_RXP12	I	PEU0 X16 PMA lane12 接收器串行数据	悬空	CML
PEU1_X16_RXP13	I	PEU0 X16 PMA lane13 接收器串行数据	悬空	CML
PEU1_X16_RXP14	I	PEU0 X16 PMA lane14 接收器串行数据	悬空	CML
PEU1_X16_RXP15	I	PEU0 X16 PMA lane15 接收器串行数据	悬空	CML
PEU1_X16_RXN0	I	PEU0 X16 PMA lane0 接收器串行数据	悬空	CML
PEU1_X16_RXN1	I	PEU0 X16 PMA lane1 接收器串行数据	悬空	CML
PEU1_X16_RXN2	I	PEU0 X16 PMA lane2 接收器串行数据	悬空	CML
PEU1_X16_RXN3	I	PEU0 X16 PMA lane3 接收器串行数据	悬空	CML
PEU1_X16_RXN4	I	PEU0 X16 PMA lane4 接收器串行数据	悬空	CML
PEU1_X16_RXN5	I	PEU0 X16 PMA lane5 接收器串行数据	悬空	CML
PEU1_X16_RXN6	I	PEU0 X16 PMA lane6 接收器串行数据	悬空	CML
PEU1_X16_RXN7	I	PEU0 X16 PMA lane7 接收器串行数据	悬空	CML
PEU1_X16_RXN8	I	PEU0 X16 PMA lane8 接收器串行数据	悬空	CML
PEU1_X16_RXN9	I	PEU0 X16 PMA lane9 接收器串行数据	悬空	CML
PEU1_X16_RXN10	I	PEU0 X16 PMA lane10 接收器串行数据	悬空	CML
PEU1_X16_RXN11	I	PEU0 X16 PMA lane11 接收器串行数据	悬空	CML
PEU1_X16_RXN12	I	PEU0 X16 PMA lane12 接收器串行数据	悬空	CML
PEU1_X16_RXN13	I	PEU0 X16 PMA lane13 接收器串行数据	悬空	CML
PEU1_X16_RXN14	I	PEU0 X16 PMA lane14 接收器串行数据	悬空	CML
PEU1_X16_RXN15	I	PEU0 X16 PMA lane15 接收器串行数据	悬空	CML
PEU1_X1_RXP	I	PEU0 X1 PMA lane0 接收器串行数据	悬空	CML
PEU1_X1_RXN	I	PEU0 X1 PMA lane0 接收器串行数据	悬空	CML
PEU1_C0_CLKREQ	I/O	PEU1 C0 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部 接上拉电阻	CMOS

PEU1_C1_CLKREQ	I/O	PEU1 C1 此输入必须连接到共享 CLKREQ #bus，使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部接上拉电阻	CMOS
PEU1_C2_CLKREQ	I/O	PEU1 C2 此输入必须连接到共享 CLKREQ #bus，使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	需外部接上拉电阻	CMOS
PEU1_X1_ATB0	I/O	PEU1 X1 PMA 模拟测试总线	悬空	CMOS
PEU1_X1_ATB1	I/O	PEU1 X1 PMA 模拟测试总线	悬空	CMOS
PEU1_X16_ATB0	I/O	PEU1 X16 PMA 模拟测试总线	悬空	CMOS
PEU1_X16_ATB1	I/O	PEU1 X16 PMA 模拟测试总线	悬空	CMOS
PEU1_X1_REXT	I	PEU1 X1 PMA 外部校准电阻	连 3.01K Ω 电阻到地	无
PEU1_X16_REXT	I	PEU1 X16 PMA 外部校准电阻	连 3.01K Ω 电阻到地	无
PEU1_REFCLKP	I	PEU1 外部参考时钟	悬空	CML
PEU1_REFCLKN	I	PEU1 外部参考时钟	悬空	CML

注：PEU1_LINKUP[2:0]见表 2-6，该功能为复用引脚中的功能 2，非默认功能，使用时需要软件做相应配置。

2.3.1 拆分方式

表 2-13 PCIe 拆分模式表

PCIe	拆分模式	
PEU0_X1[0]	X1	
PEU0_X16[0:15]	X16	
	X8	X8
PEU1_X1[0]	X1	
PEU1_X16[0:15]	X16	
	X8	X8

2.3.2 AC 电容、校准电阻要求

输出端与接收端之间，PCIe 布线采用交流耦合的方式。耦合电容采用封装 0402、容值为 176~265nF 的电容。

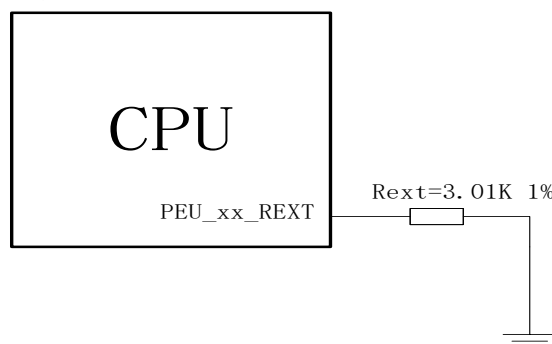


图 2.2 外部校准电阻

如图 2.2 所示, CPU 外部接阻值 3.01K Ω 、精度为 1% 的电阻作为校准电阻, 要求该校准电阻尽可能靠近 CPU 引脚, 走线避开高速信号等干扰源。

2.4 千兆以太网(RGMII)接口

2.4.1 千兆以太网(RGMII)接口信号说明

表 2-14 千兆以太网(RGMII)信号说明

	信号	输入/输出	描述	NC 处理方式
RGMII0	RGMII0_TXD0	O	发送数据位 0	悬空
	RGMII0_TXD1	O	发送数据位 1	悬空
	RGMII0_TXD2	O	发送数据位 2	悬空
	RGMII0_TXD3	O	发送数据位 3	悬空
	RGMII0_GTX_CLK	O	发送数据采样时钟, 频率 125MHz	悬空
	RGMII0_TX_CTL	O	发送控制	悬空
	RGMII0_RXD0	I	接收数据位 0	接地
	RGMII0_RXD1	I	接收数据位 0	接地
	RGMII0_RXD2	I	接收数据位 0	接地
	RGMII0_RXD3	I	接收数据位 0	接地
	RGMII0_RX_CLK	I	接收数据采样时钟, 频率 125MHz	接地
	RGMII0_RX_CTL	I	接收控制	接地
	RGMII0_MDC	O	管理接口, 时钟信号	悬空
	RGMII0_MDIO	I/O	管理接口, 数据信号	下拉电阻
RGMII1	RGMII1_TXD0	O	发送数据位 0	悬空
	RGMII1_TXD1	O	发送数据位 1	悬空
	RGMII1_TXD2	O	发送数据位 2	悬空
	RGMII1_TXD3	O	发送数据位 3	悬空
	RGMII1_GTX_CLK	O	发送数据采样时钟, 频率 125MHz	悬空
	RGMII1_TX_CTL	O	发送控制	下拉电阻
	RGMII1_RXD0	I	接收数据位 0	下拉电阻
	RGMII1_RXD1	I	接收数据位 0	下拉电阻
	RGMII1_RXD2	I	接收数据位 0	下拉电阻
	RGMII1_RXD3	I	接收数据位 0	下拉电阻
	RGMII1_RX_CLK	I	接收数据采样时钟, 频率 125MHz	接地
	RGMII1_RX_CTL	I	接收控制	下拉电阻
	RGMII1_MDC	O	管理接口, 时钟信号	悬空
	RGMII1_MDIO	I/O	管理接口, 数据信号	下拉电阻

2.4.2 1 千兆以太网(RGMII)接口电特性

千兆以太网(RGMII)接口特性如表 2-15 所示。可通过调整 CPU 的 TX_CLK 时钟延迟或 PHY 内部 TX_CLK 时钟延迟满足 PHY 对于发送通道建立时间和保

持时间需求。下表给出了延时线的可调范围为 0~5.8ns，完全可以满足建立时间和保持时间。对于接收通道建立时间和保持时间需要满足可以调整从 PHY 发出的 TX_CLK 时钟延迟或调整 CPU 内部的 TX_CLK 时钟延迟。延迟寄存器配置请参考《腾锐 D2000 处理器软件编程手册》相关章节。

表 2-15 RGMII 接口电特性

特性	符号	接口时序	极限值		单位
			最小	最大	
千兆以太网(RGMII)信号电特性					
上升时间	t _R	见 图 2.3	---	10	ns
下降时间	t _F		---	10	ns
MDIO 写操作时序					
MDC 时钟周期	Mdc_cyc	见 图 2.4	8	500	ns
MDIO 读操作时序					
MDC 时钟周期	Mdc_cyc	见 图 2.5	8	500	ns
MDIO 建立时间	Tmdio_setup	见 图 2.6	20	---	ns
MDIO 保持时间	Tmdio_hold	见 图 2.6	20	---	ns
RGMII 发送通道时序					
CLK_TX 正沿落后 phy_txd_o 数据的偏差	Tskew	见 图 2.7	0	1.0	ns
CLK_TX 负沿落后 phy_txd_o 数据的偏差	Tskew_neg		0	1.0	ns
PHY 采样时钟落后于千兆以太网输出时钟的偏差	Phy_clk_delay		0	5.8	ns
PHY 接收通道时钟采样数据的建立时间	Tsetup		1.0	--	ns
PHY 接收通道时钟采样数据的保持时间	Thold		1.0	--	ns
RGMII 接收通道时序					
GMAC 接收通道时钟落后于 PHY 输出时钟的偏差	CPU_clk_delay	见 图 2.8	0	5.8	ns
GMAC 接收通道时钟采样数据的建立时间	Tsetup		1.0	--	ns
GMAC 接收通道时钟采样数据的保持时间	Thold		1.0	--	ns



图 2.3 GMAC 开关特性图

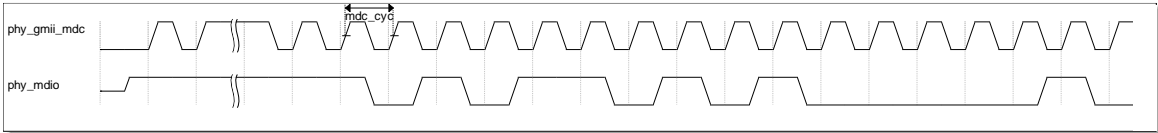


图 2.4 MDIO 写操作时序

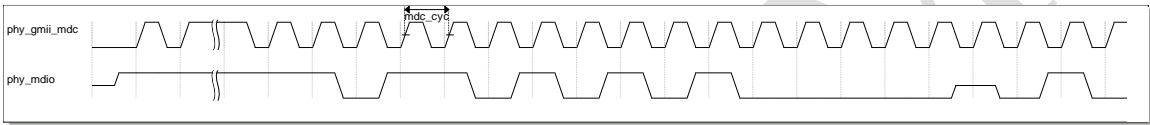


图 2.5 MDIO 读操作

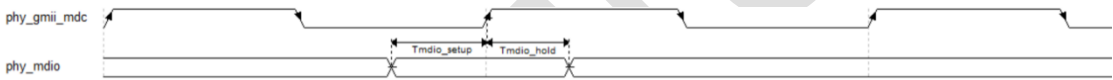


图 2.6 MDIO 读建立和保持时间

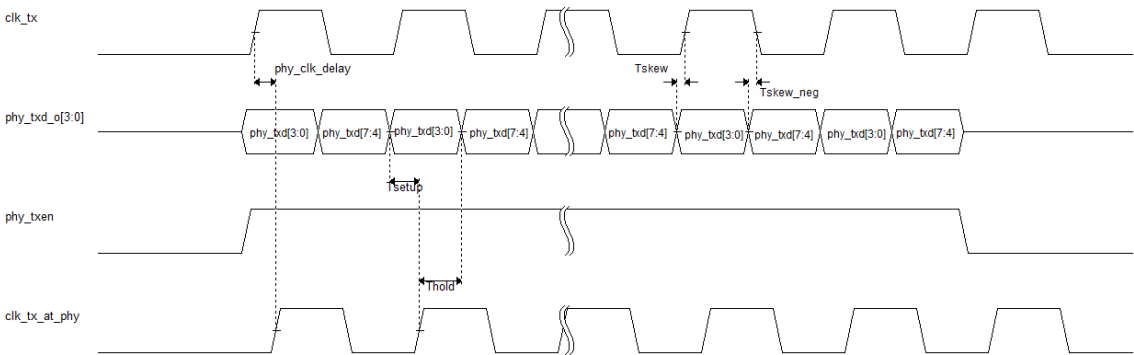


图 2.7 RGMII 发送通道时序

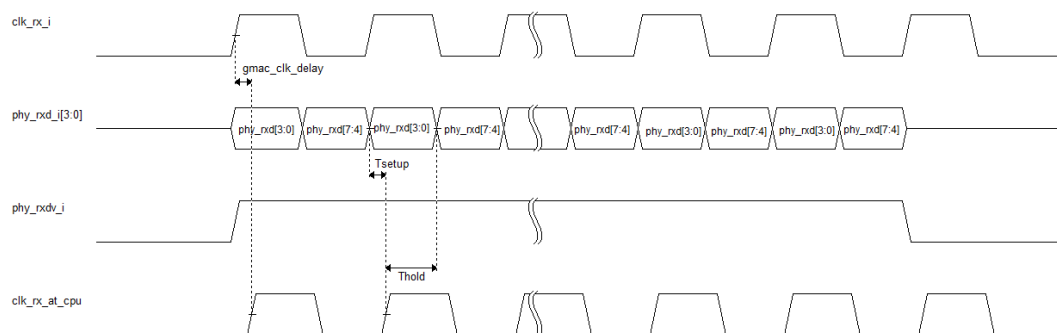


图 2.8 RGMII 接收通道时序

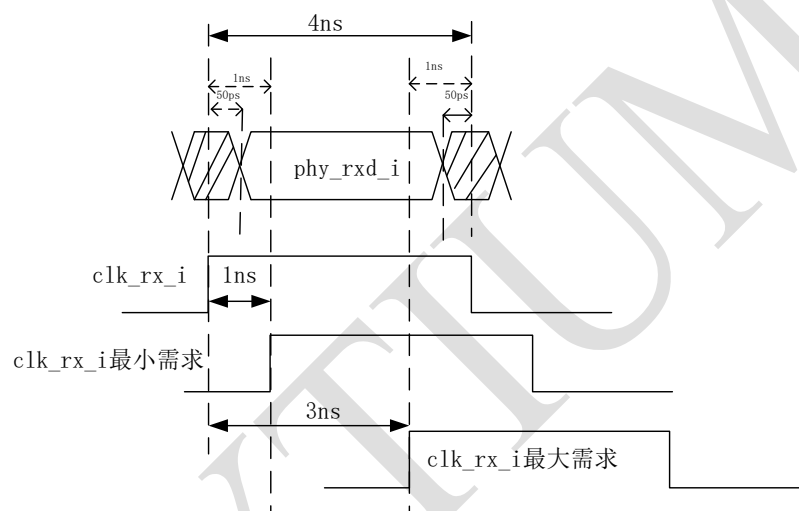


图 2.9 RX 数据端口采样时序图

当速度为 1000Mbps 时，时钟周期为 8ns。因为 RGMII 是双沿采样，数据周期为 4ns。但由于芯片制造、温度等差异导致不同数据线和时钟线之间的不确定性，假设数据线延迟偏差为 1ns（大部分实际偏差情况都在 1ns 以内），那么只要时钟上升沿落在 1~3ns 区间即可满足采样要求。

2.5 I2C 接口

2.5.1 I2C 接口信号说明

D2000 一共有 4 组 I2C 接口，描述如表 2-16 所示。

表 2-16 I2C 接口描述

信号	输入/输出	描述	NC 处理方式
I2C_SCL	I/O	I2C 接口 clock 信号	上拉电阻
I2C_SDA	I/O	I2C 接口 data 信号	上拉电阻

D2000 的 I2C 接口为 1.8V CMOS 的 IO 电平类型,若外接的设备不兼容 1.8V CMOS 电平,需使用 I2C 专用电平转换芯片进行电平转换。

2.5.2 I2C 接口电特性

表 2-17 I2C 接口电特性

特性	符号	接口时序	极限值		单位
			最小	最大	
I2C 接收时序					
周期时间, SCL	$t_{\text{c}}(\text{SCL})$	见图 2.10	0.51	--	μs
建立时间, SCL 为高之前 SDA 低 (对重启的 START 条件)	$t_{\text{su}}(\text{SCLH-SDAL})$		0.1	--	μs
保持时间, SCL 为低之后 SDA 低 (对 START 和重启的 START 条件)	$t_{\text{h}}(\text{SCLL-SDAL})$		0.1	--	μs
脉冲持续时间, SCL 低	$t_{\text{w}}(\text{SCLL})$	见图 2.11	0.2	--	μs
脉冲持续时间, SCL 高	$t_{\text{w}}(\text{SCLH})$		0.31	--	μs
建立时间, SDA 在 SCL 高之前有效	$t_{\text{su}}(\text{SDAV-SDLH})$		0.1	--	μs
保持时间, SDA 在 SCL 高之后有效	$t_{\text{h}}(\text{SDA-SDLL})$		0.1	--	μs
脉冲持续时间, 在 STOP 和 START 条件之间 SDA 为高	$t_{\text{w}}(\text{SDAH})$		0.2	--	μs
上升时间, SDA	$t_{\text{r}}(\text{SDA})$		--	0.2	μs
上升时间, SCL	$t_{\text{r}}(\text{SCL})$		--	0.2	μs
下降时间, SDA	$t_{\text{f}}(\text{SDA})$		--	0.1	μs
下降时间, SCL	$t_{\text{f}}(\text{SCL})$		--	0.1	μs
建立时间, 在 SDA 高之前 SCL 高 (对 STOP 条件)	$t_{\text{su}}(\text{SCLH-SDAH})$		0.1	--	μs
脉冲持续时间, spike(必须抑制)	$t_{\text{w}}(\text{SP})$		--	--	ns
每条总线上的电容负载	C_{b}		--	400	pF
I2C 发送时序					
周期时间, SCL	$t_{\text{c}}(\text{SCL})$	见图 2.11	0.51	--	μs
延迟时间,SCL 为高到 SDA 为低 (对重启的 START 条件)	$t_{\text{d}}(\text{SCLH-SDAL})$		0.1	--	μs
延迟时间, SDA 为低到 SCL 为低 (对 START 和重启的 START 条件)	$t_{\text{h}}(\text{SDAL-SCLL})$		0.1	--	μs
脉冲持续时间, SCL 低	$t_{\text{w}}(\text{SCLL})$	见图 2.11	0.2	--	μs
脉冲持续时间, SCL 高	$t_{\text{w}}(\text{SCLH})$		0.31	--	μs
延迟时间, SDA 有效到 SCL 为高	$t_{\text{d}}(\text{SDAV-SDLH})$		0.1	--	μs
有效时间, SCL 低之后 SDA 有效	$t_{\text{v}}(\text{SDLL-SDAV})$		0	--	μs
脉冲持续时间, 在 STOP 和 START 条件之间 SDA 为高	$t_{\text{w}}(\text{SDAH})$		0.1	--	μs
上升时间, SDA	$t_{\text{r}}(\text{SDA})$		--	0.2	μs
上升时间, SCL	$t_{\text{r}}(\text{SCL})$		--	0.2	μs

- 不支持加速模式，当 wp 输入接 9V 左右的电压时，flash 的编程和擦除将被加速。目前不支持这一模式；
- 不支持 DDR 模式下的命令协议。

表 2-18 常用命令汇总

功能	命令名称	命令说明	支持值 (十六进制)	地址长度 (字节)
读取器件 ID	READID	读取 ID	90	0
	RDID	读取 ID	9F	0
	RSFDP	读取 JEDEC 串行闪存可发现参数	5A	3 或 4
寄存器访问	RDSR	读取状态寄存器	05	0
	RDCR	读取配置寄存器	35	0
	RDAR	读取任何寄存器	65	3 或 4
	WRR	写入寄存器 (状态寄存器和配置寄存器)	01	0
	WRDI	写禁用	04	0
	WREN	写使能	06	0
	WRAR	写入任何寄存器	71	3 或 4
读取闪存阵列	READ	读	03	3 或 4
	4READ	读取	13	4
	FAST_READ	快速读取	0B	3 或 4
	4FAST_READ	快速读取	0C	4
	DOR	双线输出读取	3B	3 或 4
	4DOR	双线输出读取	3C	4
	QOR	四线输出读取	6B	3 或 4
	4QOR	四线输出读取	6C	4
	DIOR	双线 I/O 读取	BB	3 或 4
	4DIOR	双线 I/O 读取	BC	4
	QIOR	四线 I/O 读取	EB	3 或 4
	4QIOR	四线 I/O 读取	EC	4
编程闪存阵列	PP	页编程	02	3 或 4
	4PP	页编程	12	4
擦除闪存阵列	SE	扇区擦除	20	3 或 4
	4SE	扇区擦除	21	4
	BE	块擦除	D8	3 或 4
	4BE	块擦除	DC	4
	CE	芯片擦除	60	0

注：不同的 Flash 数据手册对命令表述有差异，以数据手册为准；表项只列出常用命令，未列出支持的全部命令。

2.6.1 QSPI 接口信号说明

QSPI 接口兼容 SPI, 且作为启动加载片外固件的唯一接口。如图 2.12 所示, CPU 启动后, 首先通过片内可信根验签片外固件; 验签通过后, 通过 QSPI 接口的 QSPI_CSN0 片选的 Flash 芯片加载固件, 来执行相关指令。QSPI 接口描述如表 2-19 所示。

表 2-19 QSPI 接口描述

信号	输入/输出	描述	NC 处理方式
QSPI_SCK	O	时钟信号	悬空
QSPI_SO_IO0	I/O	SPI: SO 数据信号; 主机输出, 设备输入 QSPI: IO0, 双向传输线 0	上拉电阻
QSPI_SI_IO1	I/O	SPI: SI 数据信号; 主机输入, 设备输出 QSPI: IO1, 双向传输线 1	上拉电阻
QSPI_WP_IO2	I/O	SPI: WP 写保护 QSPI: IO2, 双向传输线 2	上拉电阻
QSPI_HOLD_IO3	I/O	SPI: HOLD 信号 QSPI: IO3, 双向传输线 3	上拉电阻
QSPI_CSN0	O	SPI0 的 0 号片选	悬空
QSPI_CSN1	O	SPI0 的 1 号片选	悬空
QSPI_CSN2	O	SPI0 的 2 号片选	悬空
QSPI_CSN3	O	SPI0 的 3 号片选	悬空

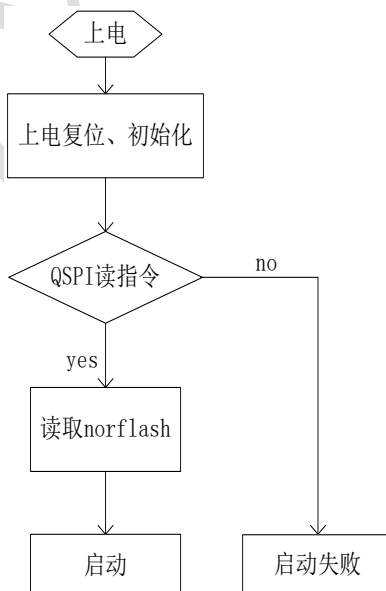


图 2.12 启动流程

2.6.2 QSPI 接口电特性

表 2-20 QSPI 接口电特性

特性	符号	接口时序	默认值	极限值		单位
				最小值	最大值	
QSPI 信号电特性						
数据传输时钟频率	F_{SCK}	见图 2.13	~5	~5	300	MHz
数据传输时钟周期	P_{SCK}		$1/F_{SCK}$	--	--	-
QSPI_SCK 高电平时间	t_{CH}		50% P_{SCK}	--	--	ns
QSPI_SCK 低电平时间	t_{CL}		50% P_{SCK}	--	--	ns
QSPI_CS 信号为高电平最少时间	t_{CS}		68	编程配置 ¹	编程配置 ¹	ns
QSPI_CS 信号建立时间	t_{CSS}		116	编程配置 ¹	编程配置 ¹	ns
QSPI_CS 信号保持时间	t_{CSH}		116	编程配置 ¹	编程配置 ¹	ns
QSPI 数据输出 SCK 相对延迟时间	t_d		--	200	330	ps
QSPI 输入数据建立时间	t_{su}		--	2	--	ns
QSPI 输入数据保持时间	t_{hd}		--	-1	--	ns
注：如需配置，请参考《腾锐 D2000 处理器软件编程手册》中的寄存器说明。						

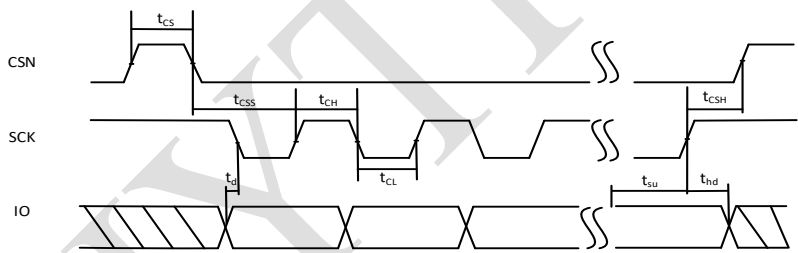


图 2.13 QSPI 总线时序

2.7 SPI 接口

2.7.1 SPI 接口信号说明

SPI0 和 SPI1 均为通用 SPI 接口，可用于连接各类 SPI 外设。SPI 的接口描述如表 2-21 所示。

表 2-21 SPI 接口描述

信号	输入/输出	描述	NC 处理方式
SPI0_SCK	O	SPI0 时钟信号	悬空
SPI0_SO	O	SPI0 数据信号；主机输出，设备输入	悬空
SPI0_SI	I	SPI0 数据信号；主机输入，设备输出	下拉电阻
SPI0_CSN0	O	SPI0 的 0 号片选	悬空
SPI0_CSN1	O	SPI0 的 1 号片选	悬空
SPI0_CSN2	O	SPI0 的 2 号片选	悬空

SPI0_CSN3	O	SPI0 的 3 号片选	悬空
SPI1_SCK	O	SPI1 时钟信号	悬空
SPI1_SO	O	SPI1 数据信号；主机输出，设备输入	悬空
SPI1_SI	I	SPI1 数据信号；主机输入，设备输出	下拉电阻
SPI1_CSN0	O	SPI1 的 0 号片选	悬空
SPI1_CSN1	O	SPI1 的 1 号片选	悬空
SPI1_CSN2	O	SPI1 的 2 号片选	悬空
SPI1_CSN3	O	SPI1 的 3 号片选	悬空

2.7.2 SPI 接口电特性

表 2-22 SPI 接口电特性

测试	符号	接口时序	极限值		单位
			最小值	最大值	
SPI 信号电特性					
CS 下降沿与 SCK 上升沿延时	t _{CSS}	见图 2.14	---	500	ns
CS 下降沿与 SO 上升沿延时	t _{CSD}		---	3	μs

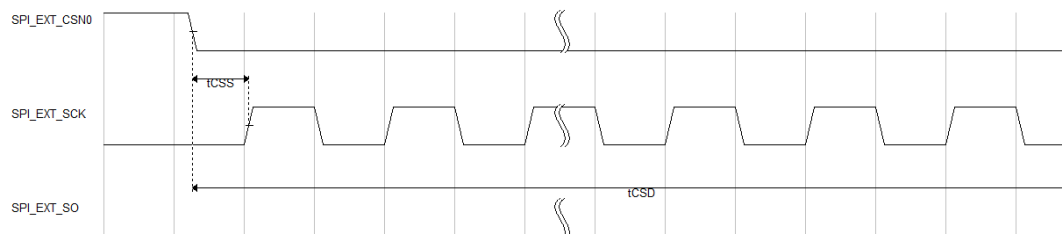


图 2.14 SPI 时序图

2.8 LPC 接口

LPC(low pin count)外设 IO 的电平与 CPU 的 1.8V CMOS 不兼容，因此在使用 LPC 功能的时候需要进行电平转换。推荐使用电平转换芯片或 CPLD 进行电平转换，CPLD 具有可编程能力，进行电平转换时的处理更灵活。LPC_IRQ_OUTEN、LPC_LAD_OUTEN 信号用于电平转换时控制相关信号的输入/输出方向。

2.8.1 LPC 接口信号说明

表 2-23 LPC 接口描述

信号	输入/输出	描述	NC 处理方式
LPC_CLK	I	LPC 时钟输入，33MHz	下拉电阻
LPC_RSTN_O	O	LPC 复位信号	悬空
LPC_LFRAME_N	O	LPC frame 控制信号	悬空
LPC_IRQ_N	I/O	Serial IRQ 用于客户端需中断支持时使用	上拉电阻
LPC_LDRQ_N	O	客户端需要做 DMA 总线时发出该信号	上拉电阻
LPC_LAD0	I/O	数据位 0	下拉电阻
LPC_LAD1	I/O	数据位 1	下拉电阻

LPC_LAD2	I/O	数据位 2	下拉电阻
LPC_LAD3	I/O	数据位 3	下拉电阻
LPC_IRQ_OUTEN	O	电平转换时使用(1: CPU 输出, 0: CPU 输入)	悬空
LPC_LAD_OUTEN	O	电平转换时使用, 标明 LPC_LAD[0:3]的方向; 1: CPU 输出, 0: CPU 输入	悬空

2.8.2 LPC 接口电特性

表 2-24 LPC 接口电特性

特性	符号	接口时序	极限值		单位
			最小	最大	
LPC 信号电特性					
LPC 时钟周期	Th	见图 2.15	30	--	ns
LPC 请求开始保持时间	Tstart		30	--	ns
LPC 请求传输时间	Ttrans		300	--	ns
LCLK 上升沿传输时间	Trt		--	5	ns
LCLK 下降沿传输时间	Tft		--	5	ns
LAD 输入相对时钟的建立时间	tISU		5	--	ns
LAD 输入相对时钟的保持时间	tIH		0	--	ns

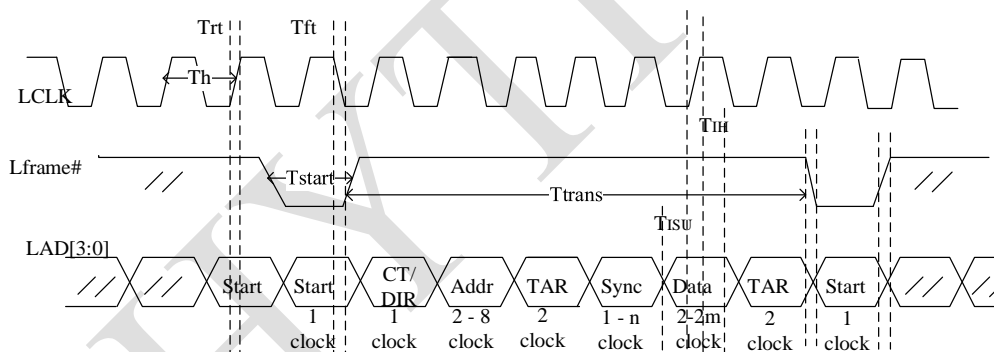


图 2.15 LPC 基本时序

2.9 UART 接口

D2000 的 UART 接口电平为 1.8V CMOS 电平标准, 若使用的外设不兼容 1.8V CMOS 电平, 需进行电平转换; 默认 UART_1 为系统调试串口, 用于输出系统打印信息, 波特率 115200bps。

2.9.1 UART 接口信号说明

表 2-25 UART 接口描述

信号	输入/输出	描述	NC 处理方式
UART_0_TXD	O	UART0 九针串口	悬空
UART_0_RXD	I		上拉电阻
UART_0_DSR_N	I		上拉电阻
UART_0_RTS_N	O		悬空

UART_0_DTR_N	O		悬空
UART_0_CTS_N	I		上拉电阻
UART_0_RI_N	I		上拉电阻
UART_0_DCD_N	I		上拉电阻
UART_1_TXD	O	UART1 串口，默认为调试串口。	悬空
UART_1_RXD	I		上拉电阻
UART_2_TXD	O	UART2 串口	悬空
UART_2_RXD	I		上拉电阻
UART_3_TXD	O	UART3 串口	悬空
UART_3_RXD	I		上拉电阻

2.9.2 UART 接口电特性

表 2-26 UART 接口电特性

特性	符号	接口时序	极限值		单位
			最小	最大	
串口时序					
rx _d 和 tx _d 低电平时间	t _L	见图 2.16	310	--	ns
rx _d 和 tx _d 高电平时间	t _H		310	--	
rx _d 和 tx _d 信号上升时间	t _{RT}		--	6	
rx _d 和 tx _d 信号下降时间	t _{FT}		--	6	
信号传输 gnd 低电平	V _{GND}			0	V

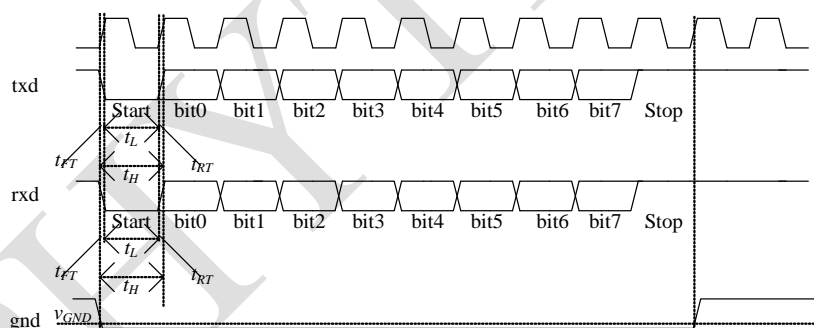


图 2.16 UART 时序图

2.10 GPIO 接口

D2000 中，将 GPIO 接口作为双向总线使用，且需要进行电平转换时的 PCB 逻辑设计建议如下：用作双向总线情况下，在进行总线方向切换时，可能存在电源到地的短路路径，可以在 CPU 或接口芯片间设置 50Ω 保护电阻。

2.10.1 GPIO 接口信号说明

一共有 32 个 GPIO 信号，分为 GPIO0 和 GPIO1 两路，各 16 位，每路内又分为 A 和 B 两组，其中 A 组的 8 位信号均支持外部中断功能，而 B 组的 8 位信号不支持。同一组内的 8 位中断信号没有优先级区分，并产生一个统一的中

断报送到全芯片的中断管理模块。在中断管理模块内可针对 GPIO0 和 GPIO1 两路中断设置不同的优先级。中断报送结构如图 2.17 所示，GPIO 的接口描述如表 2-27 所示，专用 GPIO 说明如表 2-28 所示。

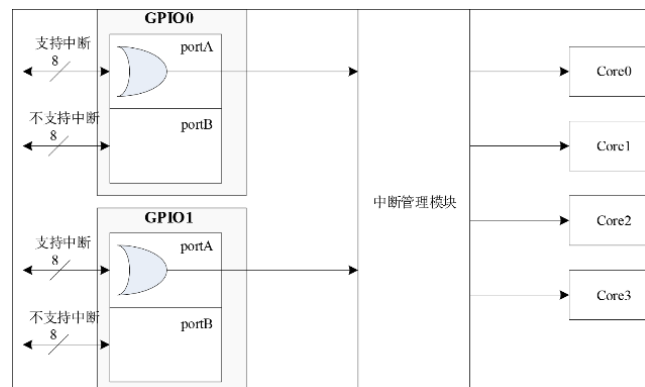


图 2.17 GPIO 中断结构图

表 2-27 GPIO 接口描述

信号	输入/输出	描述	NC 处理方式
GPIO0_A0	I/O	GPIO0 PORTA[0:7]，带中断功能。 外部中断输入，可根据需求配置为电平或者边沿触发。	下拉电阻
GPIO0_A1	I/O		下拉电阻
GPIO0_A2	I/O		下拉电阻
GPIO0_A3	I/O		下拉电阻
GPIO0_A4	I/O		下拉电阻
GPIO0_A5	I/O		下拉电阻
GPIO0_A6	I/O		下拉电阻
GPIO0_A7/SCI	I/O		下拉电阻
GPIO0_B0	I/O	GPIO0 PORTB[0:7]	下拉电阻
GPIO0_B1	I/O		下拉电阻
GPIO0_B2	I/O		下拉电阻
GPIO0_B3	I/O		下拉电阻
GPIO0_B4	I/O		下拉电阻
GPIO0_B5	I/O		下拉电阻
GPIO0_B6	I/O		下拉电阻
GPIO0_B7	I/O		下拉电阻
GPIO1_A0	I/O	GPIO1 PORTA[0:7]，带中断功能。 外部中断输入，可根据需求配置为电平或者边沿触发。	下拉电阻
GPIO1_A1	I/O		下拉电阻
GPIO1_A2	I/O		下拉电阻
GPIO1_A3	I/O		下拉电阻
GPIO1_A4	I/O		下拉电阻
GPIO1_A5	I/O		下拉电阻
GPIO1_A6	I/O		下拉电阻
GPIO1_A7	I/O		下拉电阻

GPIO1_B0	I/O	GPIO1 PORTB[0:7]	下拉电阻
GPIO1_B1	I/O		下拉电阻
GPIO1_B2	I/O		下拉电阻
GPIO1_B3	I/O		下拉电阻
GPIO1_B4	I/O		下拉电阻
GPIO1_B5	I/O		下拉电阻
GPIO1_B6	I/O		下拉电阻
GPIO1_B7	I/O		下拉电阻

表 2-28 专用 GPIO 说明

专用 GPIO	连接方式	说明
GPIO0_A1	连接主板 CPLD/EC	发送 S3_OK 信号给 CPU。 系统由 S4/S5→S0（开机）； CPLD/EC 拉低 GPIO_A1； 系统由 S3→S0（唤醒）； CPLD/EC 拉高 GPIO_A1；
GPIO0_A7/SCI	连接主板 EC	EC 发送 SCI 中断给 CPU

2.10.2 GPIO 接口电特性

表 2-29 GPIO 接口电特性

测试	符号	接口时序	极限值		单位
			最小值	最大值	
GPIO 信号电特性					
通用 IO 上升时间	t _R	见图 2.18	---	10	ns
通用 IO 下降时间	t _F		---	10	ns



图 2.18 GPIO 开关特性图

2.11 SD 接口

D2000 的 SD 接口电平为 1.8V CMOS 电平标准，连接外部 SD(3.3V)卡时，需利用 SD 专用电平转换芯片进行电平转换。

2.11.1 SD 接口信号说明

SD_DETECT 信号为 SD 卡插入检测专用信号，不支持 SD_DAT3 信号做插入检测。CPU 检测 SD_DETECT 电平，若为低，CPU 认为有卡插入；若为高，CPU 认为无卡插入。SD 的接口描述如表 2-30 所示。

表 2-30 SD 接口描述

信号	输入/输出	描述	NC 处理方式
SD_DETECT	I	SD 卡插入检测，低有效	上拉电阻
SD_CMD	I/O	COMMAND/RESPONSE LINE	上拉电阻
SD_CLK	O	CLOCK	悬空
SD_DAT0	I/O	CONNECTOR DATA LINE 0	上拉电阻
SD_DAT1	I/O	CONNECTOR DATA LINE 1	上拉电阻
SD_DAT2	I/O	CONNECTOR DATA LINE 2	上拉电阻
SD_DAT3	I/O	CONNECTOR DATA LINE 3	上拉电阻

2.11.2 SD 接口电特性

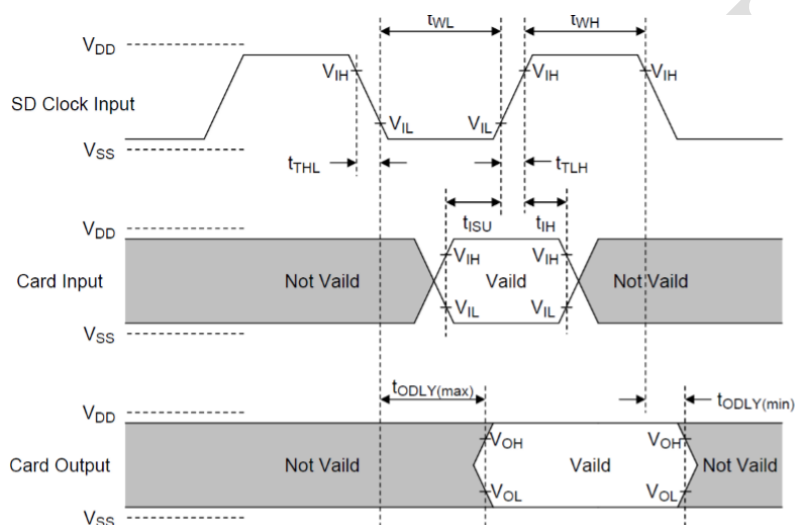


图 2.19 SD 卡时钟数据输入输出时序图（标准模式）

表 2-31 总线时序参数值（标准模式）

特性	标称	最小值	最大值	单位
时钟频率(任意状态)	f _{STP}	0	25	MHZ
时钟频率（数据传输状态）	f _{PP}	0	25	MHZ
时钟频率（识别模式）	f _{OD}	0/100	400	KHZ
时钟低电平	t _{WL}	10	-	ns
时钟高电平	t _{WH}	10	-	ns
时钟上升时间	t _{TLH}	-	10	ns
时钟下降时间	t _{THL}	-	10	ns
输入建立时间	t _{ISU}	5	-	ns
输入保持时间	t _{IH}	5	-	ns
输出延时（数据传输模式）	t _{ODLY}	0	14	ns
输出延时（识别模式）	t _{ODLY}	0	50	ns

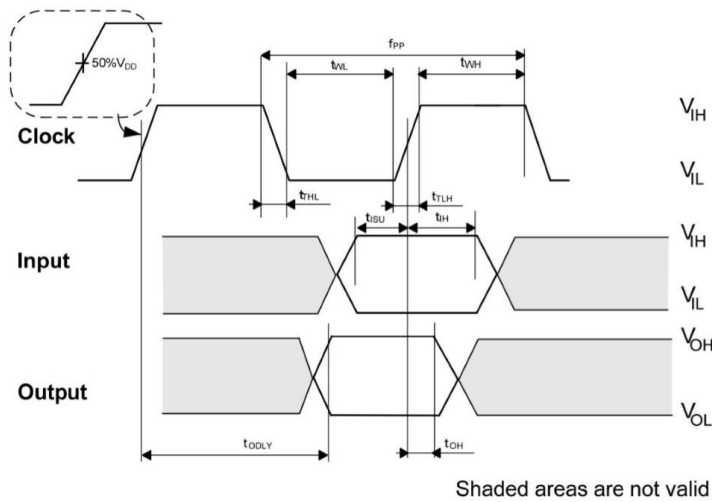


图 2.20 SD 卡时钟数据输入输出时序图（高速模式）

表 2-32 总线时序参数值（高速模式）

总线时序高速模式				
数据传输时钟频率	f_{pp}	0	50	MHZ
时钟上升沿	T_{LH}		3	ns
时钟下降沿	T_{HL}		3	ns
指令数据建立时间	T_{ISU}	6		ns
指令数据保持时间	T_{IH}	2		ns
数据传输模式输出延时	T_{ODLY}		14	ns
输出保持时间	T_{OH}	2.5		ns

表 2-33 接口电气特性

参数	Min	Typ	Max	Unit	说明
标准/高速模式	3.000	3.300	3.600	V	3.3V 模式

2.12 HDAudio 接口

D2000 的 HDAudio 接口电平为 1.8V CMOS 电平标准，若使用的外设不兼容该电平，需进行电平转换。建议在输出引脚串接一个 33Ω 的保护电阻。HDAudio 的接口描述如表 2-34 所示。

表 2-34 HDAudio 接口描述

信号	输入/输出	描述	NC 处理方式
HDA_SDO	O	串行数据输出	悬空
HDA_BCLK	O	24MHz 时钟输出	悬空
HDA_RST	O	控制器输出的复位信号，低有效。 连接所有编解码器复位引脚。	悬空

HDA_SYNC	O	48kHz 同步采样信号	悬空
HDA_SDI0	I	数据输入	上拉电阻
HDA_SDI1	I	数据输入	上拉电阻
HDA_SDI2	I	数据输入	上拉电阻
HDA_SDI3	I	数据输入	上拉电阻

注：HDA_SDI[3:1]功能描述见表（表 2-6），该功能为表中的功能 2，非默认功能，使用时需要软件做相应配置。

2.13 CAN 接口

D2000 具有三个 CAN 控制器，兼容 CAN2.0 标准协议。CAN 接口电平为 1.8V CMOS 电平标准，若使用的收发器不兼容电平标准，需进行电平转换。建议在输出引脚串接一个 33Ω 的保护电阻。CAN 的接口描述如表 2-35 所示。

表 2-35 CAN 接口描述

信号	输入/输出	描述	NC 处理方式
CAN_RXD	I	CAN 输入接口	上拉电阻
CAN_TXD	O	CAN 输出接口	悬空

2.14 WDT

D2000 集成了 2 个 WDT，分别用于控制安全域和非安全域中超时中断和超时复位的产生。WDT 的计数值来自系统计数器，当 WDT 初始化完成后，计数器第一次超时后产生中断，上报到中断管理模块；第二次超时后产生中断/复位，复位请求上报到时钟复位管理模块。支持喂狗操作，支持 WDT 关断功能。

2.15 System IO 接口

System IO 部分包含时钟、复位、调试信号，其接口描述如表 2-36 所示。

表 2-36 System 接口描述

信号	输入/输出	描述	NC 处理方式
CLK_REF	I	48MHz 时钟输入，1.8V CMOS 电平	
POR_N	I	上电复位信号，低有效	上拉电阻
PWR_CTR0	O	软关机重启信号，接板载独立控制单元(CPLD 等)	悬空
PWR_CTR1	O	软关机重启信号，接板载独立控制单元(CPLD 等)	悬空
ALL_PLL_LOCK	O	内部锁相环锁定观察信号；锁定后输出高电平，否则为低电平	悬空
CRU_CLK_OBV	O	观测时钟输出信号	悬空
CRU_RST_OK	O	复位完成信号，用于观察内部复位状态。复位完成后输出高	悬空
NTRST_SWJ	I	CPU JTAG 调试接口 NTRST 信号	下拉电阻

TDI_SWJ	I	CPU JTAG 调试接口 TDI 信号	上拉电阻
SWDITMS_SWJ	I	CPU JTAG 调试接口 SWDITMS 信号	上拉电阻
SWDO_SWJ	O	CPU JTAG 调试接口 SWDO 信号	悬空
TDO_SWJ	O	CPU JTAG 调试接口 TDO 信号	悬空
TCK_SWJ	I	CPU JTAG 调试接口 TCK 信号	上拉

2.16 调试接口

D2000 为软硬件开发者提供较完善的调试支持，见章节 1.6，具体功能通过标准的 JTAG 调试接口实现。

表 2-37 调试接口信号说明

信号名	输入/输出	信号描述
NTRST_SWJ	I	复位信号
TCK_SWJ	I	时钟信号
TDI_SWJ	I	数据输入
SWDITMS_SWJ	I	模式选择
TDO_SWJ	O	数据输出

2.16.1 总体结构

D2000 的总体调试结构如下图所示，用户使用调试主机通过调试仿真器连接到 CPU 核，控制核以后即可进行相应的调试操作。

调试仿真器支持 TRACE32 和 DS-5，相关配置要求如下。

表 2-38 调试环境支持

调试仿真器	软件支持	环境支持
DS-5	DS-5 配套软件	Windows
TRACE32	TRACE32 配套软件	Windows, Linux, MacOS

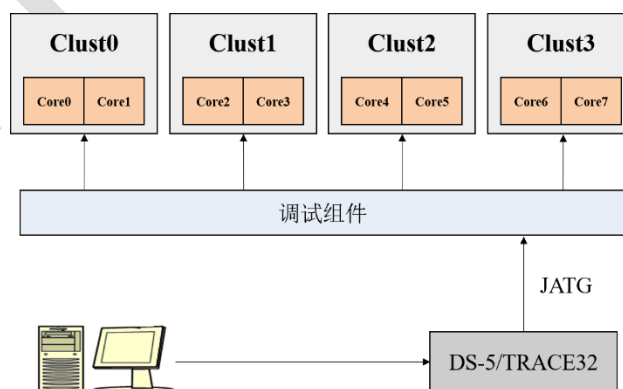


图 2.21 D2000 软件调试结构

2.16.2 调试功能

在 CPU 核内集成调试组件，提供调试支持，实现对 CPU 核指令执行过程中的监听与控制，从而实现如下功能：

- 支持指令与数据断点、单步和连续运行、变量查看与修改等常见调试功能；
- 支持指定条件下的指令 Trace 流的记录，对照源码，检查记录结果是否正确，Trace 功能是否完整；
- 支持复位功能，每个核在调试器控制下分别进行复位，每个核从第 0 条指令开始执行，复位不会影响其他核，只复位当前核；
- 支持多核调试，当一个 Core 进入调试状态，其他 Core 也同步进入调试状态；
- 支持 Bootloader 调试，从复位后第一条指令开始调试，能够执行程序运行控制、断点、变量查看等操作；
- 支持操作系统调试。

2.16.3 使用方法

芯片对外的调试接口可以通过上位机使用调试设备进行连接，支持 DS-5 以及 TRACE32 的调试请求，图 2.22 为 TRACE32 设备的连接图。使用 TRACE32 要求 PC 机提供标准的 USB 2.0 通信接口。

以 TRACE32 的使用为例，用户在 PC 机上安装完 TRACE32 调试软件后，建立对应的工程，配置相应的启动脚本即可正确连接 CPU，从而进行相应的调试工作。

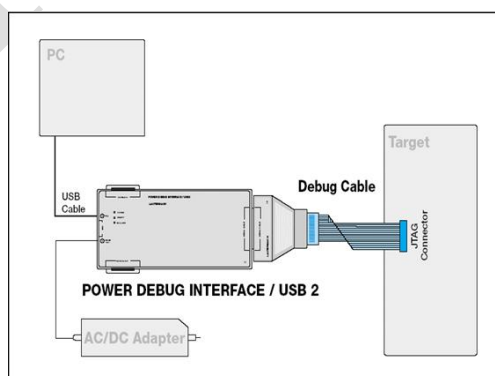


图 2.22 trace32 连接 PC 进行调试

2.17 保留引脚

为了保证 CPU 的正常工作，电路设计时，务必将保留引脚按照表 2-39 中推荐的连接方法进行上下拉处理。

表 2-39 保留引脚描述

引脚	信号	连接方法
P29	RSVD0_UP	保留脚，接 VDDPST
U29	RSVD1_UP	保留脚，接 VDDPST
V29	RSVD2_UP	保留脚，接 VDDPST
AC28	RSVD3_UP	保留脚，接 VDDPST
H19	RSVD4_UP	保留脚，接 VDDPST
W29	RSVD5_UP	保留脚，接 VDDPST
H18	RSVD6_UP	保留脚，接 VDDPST
K19	RSVD7_DOWN	网安版芯片，用不大于 3.3K Ω 的电阻上拉到 1.8V 非网安版芯片，接 GND
AE14	RSVD8_DOWN	保留脚，接 GND
N28	RSVD9_DOWN	保留脚，接 GND
K28	RSVD10_DOWN	保留脚，接 GND
W27	RSVD11_DOWN	保留脚，接 GND
T28	RSVD12_DOWN	保留脚，接 GND
J25	RSVD13_DOWN	保留脚，接 GND
J24	RSVD14_DOWN	保留脚，接 GND
L29	RSVD15_DOWN	保留脚，接 GND
AB30	RSVD16_DOWN	保留脚，接 GND
N29	RSVD17_DOWN	保留脚，接 GND
M26	RSVD18_DOWN	保留脚，接 GND
P26	RSVD19_DOWN	保留脚，接 GND
T27	RSVD20_DOWN	保留脚，接 GND
P28	RSVD21_DOWN	保留脚，接 GND
T29	RSVD22_DOWN	保留脚，接 GND
AE13	RSVD23_DOWN	保留脚，用 10K 以上电阻下拉到 GND
AF21	RSVD24_DOWN	保留脚，接 GND
K27	RSVD25_FLOAT	保留脚，浮空
Y29	RSVD26_FLOAT	保留脚，浮空
AC29	RSVD27_FLOAT	保留脚，浮空
N30	RSVD28_FLOAT	保留脚，浮空
M29	RSVD29_FLOAT	保留脚，浮空
AA21	RSVD30_FLOAT	保留脚，浮空
AA28	RSVD31_FLOAT	保留脚，浮空
AA27	RSVD32_FLOAT	保留脚，浮空

3 技术

3.1 硬件安全技术

D2000 系列芯片支持内置安全机制，支撑系统安全，包括密码加速引擎、可信执行环境、安全存储、固件管理、硬件漏洞免疫、抗物理攻击。在此基础上，网安版还支持安全启动、密钥管理、生命周期管理、量产注入等安全增强机制。下面针对上述硬件安全技术做详细说明。

3.1.1 密码加速引擎

D2000 的可信密码模块集成了 SM2、SM3、SM4 和 SM9 多种商用密码加速引擎和 AES、SHA 等国际主流算法指令，以及随机数生成模块 TRNG。可信密码模块是可信计算密码支撑平台必备的关键基础部件，提供独立的密码算法支撑。可信密码服务能够依托可信密码模块，提供具备可信特征的多种密码服务，包括可信度量、可信存储和可信身份验证/报告等功能。

3.1.2 可信执行环境

可信执行环境(Trusted Execution Environment, TEE)是 SOC 上的一个安全区域，提供了隔离执行、安全存储等功能，保证了可信应用的完整性和可信数据的机密性，与之对应的是丰富执行环境(Rich Execution Environment, REE)。TEE 与 REE 是并存于同一个设备之上的两个执行环境，在二者之间有一套完整的安全通信机制。TEE 可以为 REE 提供安全服务，也可以构建出主动防护机制，用于度量 REE 的行为。TEE 可以访问处理上的所有资源，，硬件隔离技术保证 REE 却不能访问 TEE 的资源，以此保护 TEE 内部代码和敏感信息的安全性。TEE 比 REE 的安全级别更高，能够满足大多数应用的安全需求。所有离开 TEE 环境的数据都必须加密，防止关键数据泄露给 REE。

3.1.3 安全存储

数据是计算机系统的最核心资产，存储系统作为数据的保存空间，极易受到攻击。因此安全存储至关重要，安全存储的核心技术数据加密。D2000 支持 TEE 使用密码加速引擎将敏感数据加密后存储在片外非易失性存储器内，实现敏感数据的安全存储。

内存作为系统运行的空间，其安全性也是至关重要的

3.1.4 安全启动

安全启动是其他安全机制的一个前提，如果系统软件在系统启动之前就已经被篡改，且系统软件拥有很高的权限，那运行在该系统上的敏感数据将不再安全，致使相关的安全防护措施形同虚设，起不到安全防护的作用。D2000 内置可信根，借助密码加速引擎对系统固件进行逐级验签，实现了安全启动，保证 D2000 上运行的软件都是安全可信的。安全启动机制与硬件隔离机制相结合，能够很好地保护敏感信息的安全。

3.1.5 密钥管理

密钥是安全芯片的重要敏感信息，涉及到安全芯片的使用流程及其他敏感信息的安全。D2000 主要涉及三类密钥：飞腾密钥、整机厂家密钥和用户密钥。其中飞腾密钥由飞腾注入并由 PBR、PBF 使用，整机厂家密钥由整机厂商注入并使用，用户密钥由用户注入并使用。不同的密钥有各自的生成、存储、访问、使用等权限，且与芯片的生命周期相结合，共同保护各类密钥的安全。

3.1.6 固件管理

固件是保存在非易失性存储介质中的程序，是系统加电后必须执行的软件代码。固件主要负责系统的基础初始化，向操作系统提供系统中可用计算资源的描述，并引导操作系统。固件与硬件资源密切相关，一般由 CPU、主板等系统厂商提供支持，并由固件厂商负责实现与维护。固件存在版本更新的需求。固件管理就是指在固件的版本更新过程中，对固件内容、固件更新者、固件更新执行权限等进行管理。

飞腾平台固件由三部分组成：飞腾可信根 PBR、飞腾基础固件 PBF 和第三方固件。其中，PBR 固件在芯片出厂时固定，在系统整个生命周期中都保持只读状态，无法更新。PBF 固件由飞腾负责维护。第三方固件由整机厂商进行维护。

D2000 具备固件防回滚机制，禁止攻击者将固件回退到之前的存在安全漏洞的固件，能够极大的降低由固件引起的安全风险。

3.1.7 抗物理攻击

物理攻击是指攻击者针对芯片实体所做的破坏或者非破坏性攻击，包括错误注入攻击、侧信道攻击与侵入式攻击等。错误注入攻击是指通过抖动电源与抖动时钟等手段，使电路产生错误操作，影响个别指令或某个电路的执行。侧信道攻击是指通过测量分析芯片的功耗、电磁等信息，获取芯片内部的敏感信息。侵入

式攻击是指通过打开芯片的封装,使用探针检测并修改电路或获取内部存储器信息进行攻击。

D2000 具有一定的抗物理防护功能，以支持芯片安全可靠运行。D2000 集成电压、时钟频率以及温度检测功能，并采取相应措施进行防护，防止错误注入导致的非法操作。

3.1.8 生命周期管理

生命周期管理是指芯片从生产到交付整机厂商，进而由整机厂商将其作为整机的一部分交付最终客户的全生命周期过程的管理。在生命周期的不同阶段，对不同的密钥及调测试接口具有不同的访问使用权限，以此保证芯片属于不同所有者时，具有不同所有者相对应的安全特性和权限。芯片的生命周期转换是单向的，不能倒向转换，且只能逐级进入。

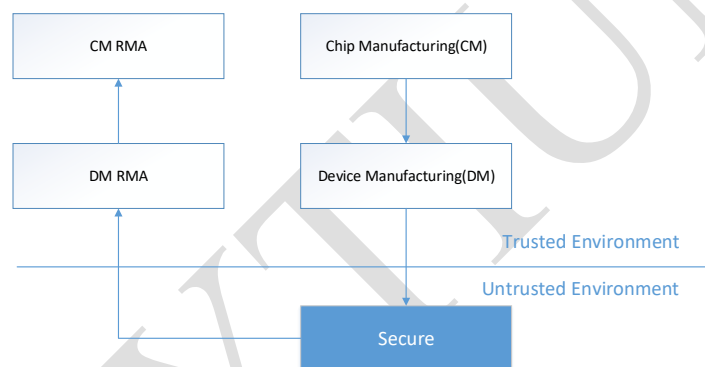


图 3.1 生命周期

CM: 芯片出厂阶段, 芯片生成出来以后, 要保证初始状态是 CM。同时, 所有的调试测试端口都是使能的, 能够访问芯片内的所有敏感信息。

DM: 当芯片进入整机厂商后，芯片是 **DM** 状态。**DM** 需要保留一定的调测试能力，但是全芯片内部的扫描功能需要关闭。并保证 **CMkey** 不能被整机厂家访问。

SE(Secure 状态): 当芯片到达用户手中时，芯片已经进入 Secure 状态。用户可以使用芯片的各种安全功能，但是不能使用调测试的功能，保护各种 key 的安全性。

DMRMA: 整机返厂状态。芯片中的整机厂家密钥不能再被访问，但是芯片的部分调测试功能都被打开。

CMRMA: 芯片返厂状态。打开所有的 debug 及测试功能,但不能获取根密钥。CM 密钥均不能再被访问。

3.1.9 量产注入

量产注入是指处理在量产过程中,在测试产线上通过一定的安全手段进行最初始的密码灌注的过程。由于测试产线环境本身的安全性无法得到保证,因此必须通过一定的技术手段,防止安全芯片中最重要的初始密钥在产线灌注过程中被泄露。

3.1.10 硬件漏洞免疫

处理器与系统软件的漏洞往往与计算机体系结构或硬件具体实现有关。因此,在进行计算机系统或安全芯片设计的时候,必须充分考虑处理器与系统软件可能存在的漏洞,提出系统及解决方案。如果针对各种重要漏洞,计算机系统能够从硬件角度进行安全防护,我们称之为硬件漏洞防疫。

D2000 对各种已知的系统级重要漏洞具有一定的硬件免疫能力,防止芯片内的敏感信息被泄露,提升系统安全。如系统分级访问控制、数据执行保护、内核保护机制、面向返回的编程(Return-oriented Programming, ROP)攻击防护、Spectre (幽灵)、Meltdown (熔断)及其各种变种的攻击防护等防护机制。

3.2 支持 SCPI 协议

支持 SCPI 标准协议,并自定义了扩展协议。通过标准协议实现 DFS、获取时钟信息、获取传感器温度的功能。通过扩展协议实现 PLL 配置、局部复位、软件热复位、外设上下电配置以及中断使能配置。

4 时钟管理

4.1 时钟频率配置

clk_cluster0、clk_cluster1 和 clk_noc 支持双 PLL 切换的动态调频和基于 CG 的动态调频（基于 CG 的动态调频得到的时钟不是 50% 占空比），时钟频率配置如表 4-1。

表 4-1 频率配置范围

名称	时钟频率范围
FT663 时钟	1GHz-3GHz
L2 Cache 时钟	1GHz-3GHz
内部网络主时钟	1GHz-2.8GHz
DDR 控制器时钟	400MHz-800MHz
PCIe 主时钟	600MHz
RGMII 控制器时钟	250MHz
I2C 时钟	48M
QSPI 时钟	600MHz
SPI 时钟	48M
LPC 时钟	48M
UART 时钟	48M
GPIO 时钟	48M
SD 时钟	600M
HD Audio 时钟	600M
CAN 时钟	600M
WDT 时钟	48M

4.2 时钟需求

表 4-2 时钟需求

时钟	频率	占空比	频差	jitter	电压
clk_ref	48MHz	45%~55%	<=50ppm	<=100ps	1.8V
clk_lpc	33MHz	45%~55%	<=50ppm	——	1.8V

5 电源管理

5.1 电源状态

D2000 处理器的电源状态包括 S0、S3、S4 和 S5，详细说明请参照表 5-1。

表 5-1 电源状态

状态	开启的电源	备注
S0	电源参数表格 ^[1] 中电源均带电	工作状态
S3	VDDQ、VDD_3V3、VPP/VREFCA 内存、 以及唤醒源供电	Suspend to RAM
S4、S5	无	Suspend to Disk、shutdown

1: 电源参数表格请参考《腾锐 D2000 处理器硬件设计指导手册》

5.1.1 S4/S5→S0

如图 5.1 为 S4/S5→S0 开机时序图，时序控制表请参考表 5-2。

当主机从 S4 或 S5 进入到 S0 状态，即正常开机时，只需要按以下时序依次完成上电、复位等操作，即可进入 S0 状态。

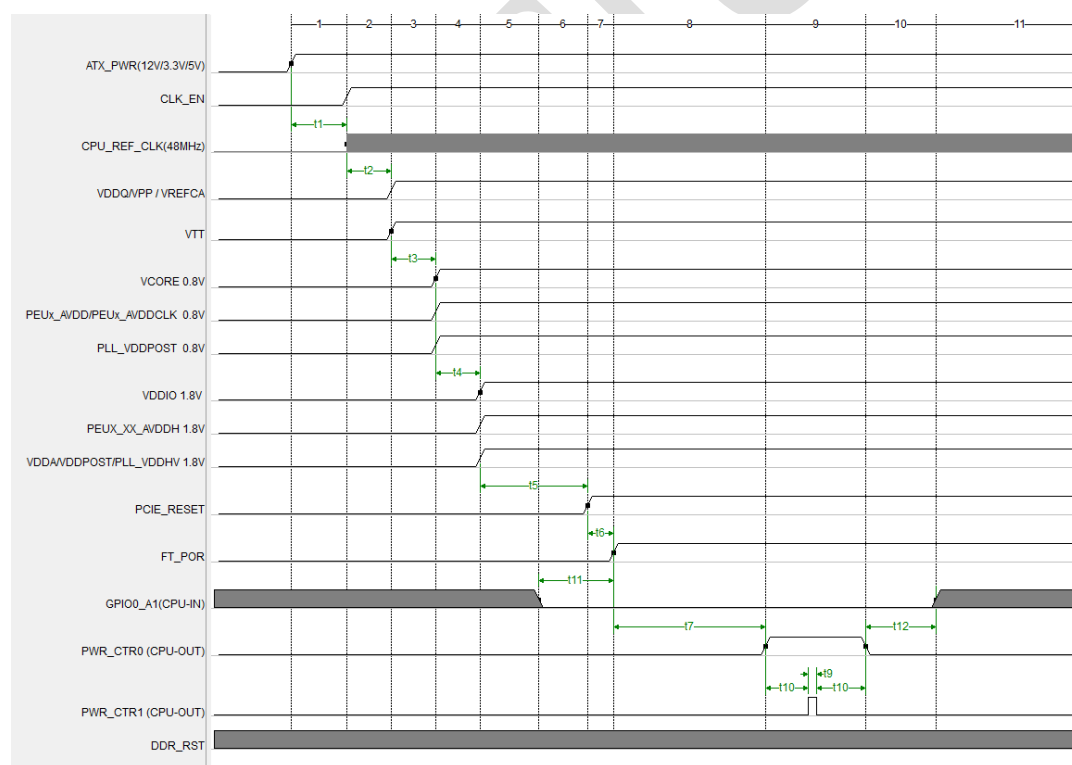


图 5.1 S4/S5→S0 开机时序图

表 5-2 S4/S5→S0 时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	10	20	-	ms	等待 ATX 上电稳定

2	t2	10	20	-	ms	等待 CPU-CLK 稳定
3	t3	10	20	-	ms	
4	t4	10	20	-	ms	
5	t5	120	150	-	ms	根据 PCIE 设备调整
6	t6	10	20	-	ms	先释放 PCIE_RST 信号
7	t7	/	/	/	ms	该时间非可控，拉高 POR 之后需要持续监测 PWR_CTRL0/1
8	t8	/	2	/	ms	
9	t9	/	1	/	ms	PWR_CTRL1 脉冲宽度
10	t10	/	3	/	ms	
11	t11	0	-	-	ms	在 POR 拉高之前拉低该信号
12	t12	0	-	-	ms	当接收到 CPU 的反馈信号后，即可释放 GPIO_A1,用于其他功能

注 1：如果通过 LPC 走控制流程则不需要关注 GPIO_A1、PWR_CTRL0、PWR_CTRL1 三个信号的处理。
 注 2：S4/S5→S0 上电时 DDR_RST 由 CPU 主动控制。
 注 3：“/”代表无参考值；“-”代表无限制，下表一致。

5.1.2 S0→S4/S5

如图 5.2 为 S0→S4/S5 关机时序图(忽略 PWR_CTRL0&1、GPIO_A1，下同)，时序控制表请参考表 5-3。

5.1.2.1 CPLD 处理方式

当主机从 S0 进入到 S4 或 S5 状态，即正常关机时，CPU 会通过 PWR_CTRL0&1 向 CPLD 发送关机指令(特定方式的 12 个脉冲)。当 CPLD 收到信息后，只需要按图 5.2 时序依次完成掉电、拉低复位信号等操作，即可进入 S4 或 S5 状态。

5.1.2.2 EC 处理方式

当主机从 S0 进入到 S4 或 S5 状态，即正常关机时，CPU 会通过 LPC 接口将 0x02 写入 EC-RAM 地址为 0x0A 的空间中，详细操作参考《飞腾平台 EC 接口规范》中 4.2.2 章节。当 EC 收到信息后，只需要按图 5.2 时序依次完成掉电、拉低复位信号等操作，即可进入 S4 或 S5 状态。

表 5-3 S0→S4/S5 下电时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	0	10	-	ms	接收到关机指令即可处理
2	t2	100	150	-	ms	
3	t3	5	20	-	ms	
4	t4	5	20	-	ms	
5	t5	5	20	-	ms	
6	t6	5	20	-	ms	
7	t7	/	2	/	ms	
8	t8	/	3	/	ms	

9	t9	/	1	/	ms	PWR_CTR1 脉冲宽度
10	t10	/	1	/	ms	PWR_CTR1 脉冲间隔时间
注 1: 如果通过 LPC 走控制流程则不需要关注 GPIO0_A1、PWR_CTR0、PWR_CTR1 三个信号的处理 注 2: S0→S5 上电时 DDR_RST 由 CPU 主动控制 注 3: 关机之后短暂等待 1-2s, 再开机或重启						

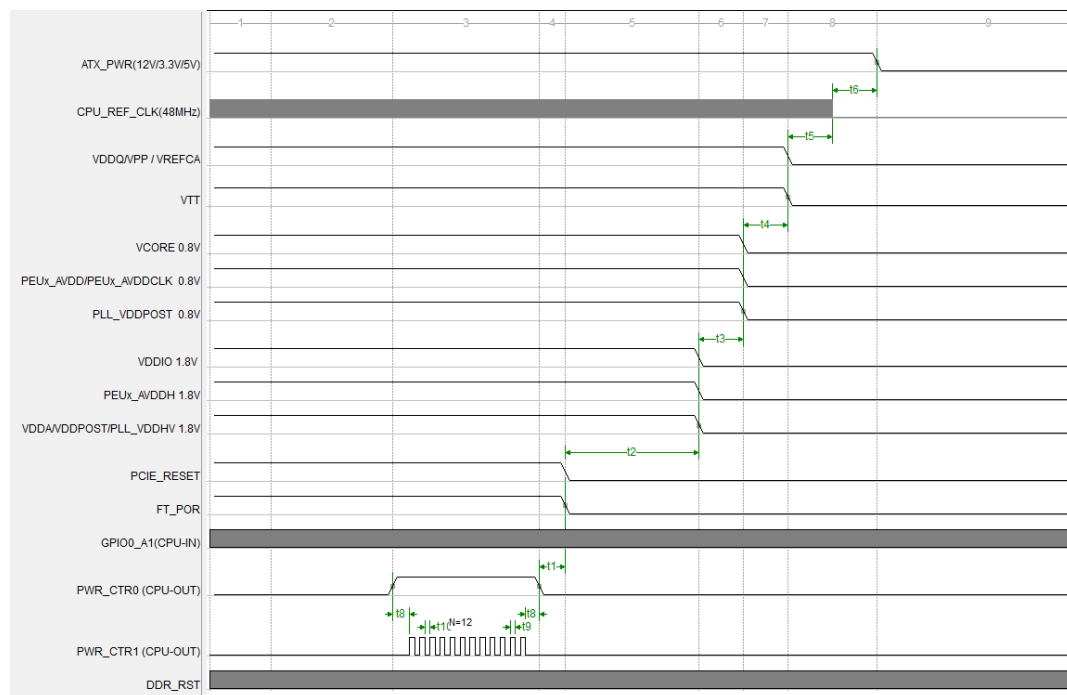


图 5.2 S0→S4/S5 关机时序图

5.1.3 S0→S3

如图 5.3 为 S0→S3 休眠时序图，时序控制请参考表 5-4。

5.1.3.1 CPLD 处理方式

当主机从 S0 进入到 S3 状态，即 STR 时，CPU 会通过 PWR_CTR0&1 向 CPLD 发送指令（特定方式的 8 个脉冲）。当 CPLD 收到指令后，只需要保持 DDR/USB/RGMII_PHY 相关电源并按以下时序依次完成掉电、拉低复位信号等操作，即可进入 S3 状态。

5.1.3.2 EC 处理方式

当主机从 S0 进入到 S3 状态，即 STR 时，CPU 会通过 LPC 接口将 0x01 写入 EC-RAM 地址为 0x0A 的空间中，详细操作参考《飞腾平台 EC 接口规范》中 4.2.2 章节。当 EC 收到信息后，只需要保持 DDR/USB/RGMII_PHY 相关电源并按以下时序依次完成掉电、拉低复位信号等操作，即可进入 S3 状态。

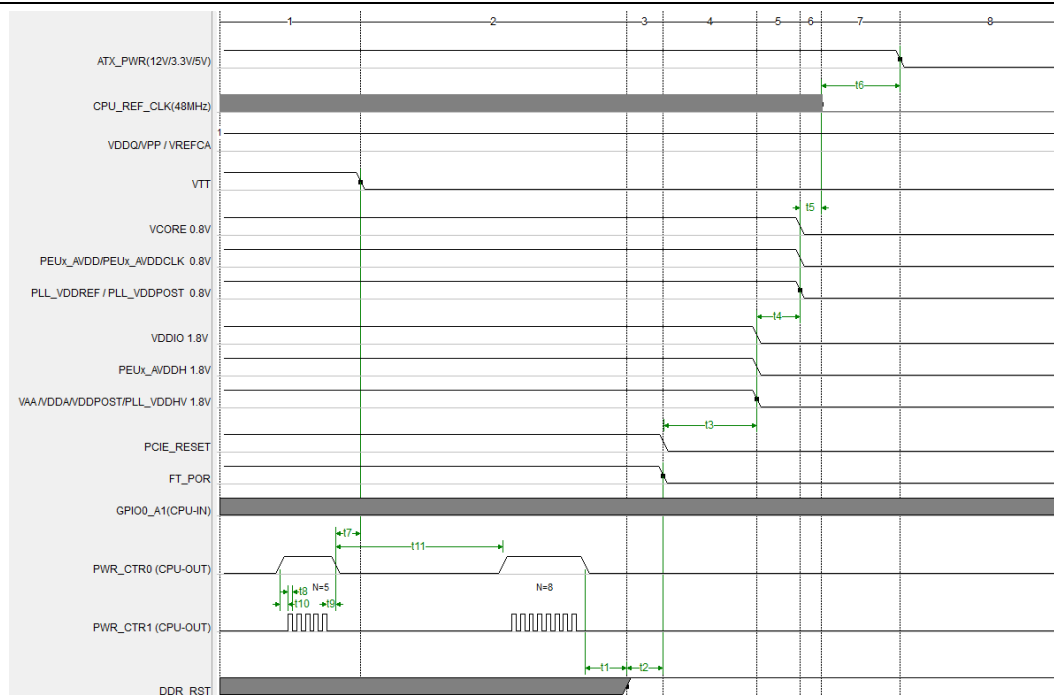


图 5.3 S0→S3 休眠时序图

表 5-4 S0→S3 休眠下电时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	0	-	-	ms	收到指令即可处理，外部控制将 DDR_RST 拉高
2	t2	5	10	-	ms	
3	t3	100	150	-	ms	
4	t4	5	20	-	ms	
5	t5	5	20	-	ms	
6	t6	5	20	-	ms	
7	t7	0	/	-	ms	
8	t8	/	1	/	ms	PWR_CTRL1 脉冲宽度
9	t9	/	2	/	ms	PWR_CTRL1 脉冲间隔时间
10	t10	/	2	/	ms	
11	t11	/	/	/	ms	

注：如果通过 LPC 走控制流程则不需要关注 GPIO0_A1、PWR_CTRL0、PWR_CTRL1 三个信号的处理

5.1.4 S3→S0

如图 5.5 为 S3→S0 唤醒时序图，时序控制请参考表 5-5。

5.1.4.1 CPLD 处理方式

当主机从 S3 恢复到 S0 状态时，主板的 CPLD 控制单位会通过信号引脚 K17（信号名 UART_0_CTS_N/GPIO0_A1）向 CPU 发送主板当前的是否满足 S3→S0 状态的 S3_OK 信号。S3_OK 信号为高电平时，表示可以正常恢复到 S0。S3_OK

信号为低时，通知 CPU 主板出现异常状态（内存掉电等情况），系统将重新启动，而不是从 S3 恢复。

如图 5.4 所示，当 CPLD 收到 S3_OK_Clear 信号后，开始释放该引脚，不会影响后续的正常功能使用。

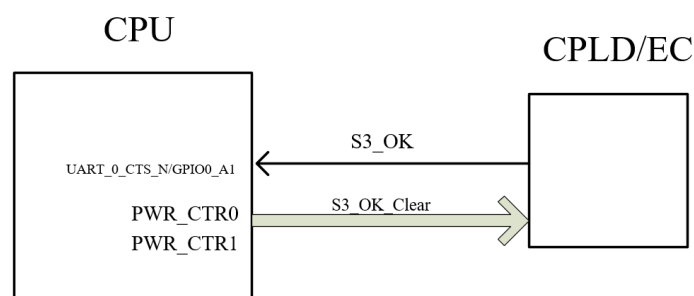


图 5.4 S3_OK 和 S3_OK_Clear 信号链路

5.1.4.2 EC 处理方式

当主机从 S3 恢复到 S0 状态时，EC 提前将指示是否正常唤醒的标志写入 EC-RAM 中地址为 0x0B 的空间（以下简称 EC-0B），详细操作参考《飞腾平台 EC 接口规范》中 4.2.3 章节。EC-0B 为 0x55 或 0xAA 时，表示可以正常恢复到 S0。EC-0B 为其他值时，通知 CPU 主板出现异常状态（内存掉电等情况），系统将重新启动，而不是从 S3 恢复。

表 5-5 S3→S0 唤醒上电时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	10	100	-	ms	
2	t2	10	20	-	ms	
3	t3	10	20	-	ms	
4	t4	120	150	-	ms	
5	t5	0	-	-	ms	
6	t6	10	20	-	ms	
7	t7	/	/	/	ms	该时间非可控，拉高 POR 之后需要持续监测 PWR_CTRL0/1。
8	t8	/	2	/	ms	
9	t9	/	1	/	ms	
10	t10	/	2	/	ms	
11	t11	0	-	-	ms	POR 拉高之前拉高该信号
12	t12	0	-	-	ms	接收到 CPU 反馈信号后即可释放 GPIO0_A1 信号用做他用
13	t13	0	-	-	ms	接收到 CPU 反馈信号后立即来开启 VTT 电源。

14	t14	0	1000	-	ms	接收到 CPU 反馈信号后即可释放 DDR-RST 控制信号，转交给 CPU 控制
----	-----	---	------	---	----	---

注：如果通过 LPC 走控制流程则不需要关注 GPIO0_A1、PWR_CTR0、PWR_CTR1 三个信号的处理

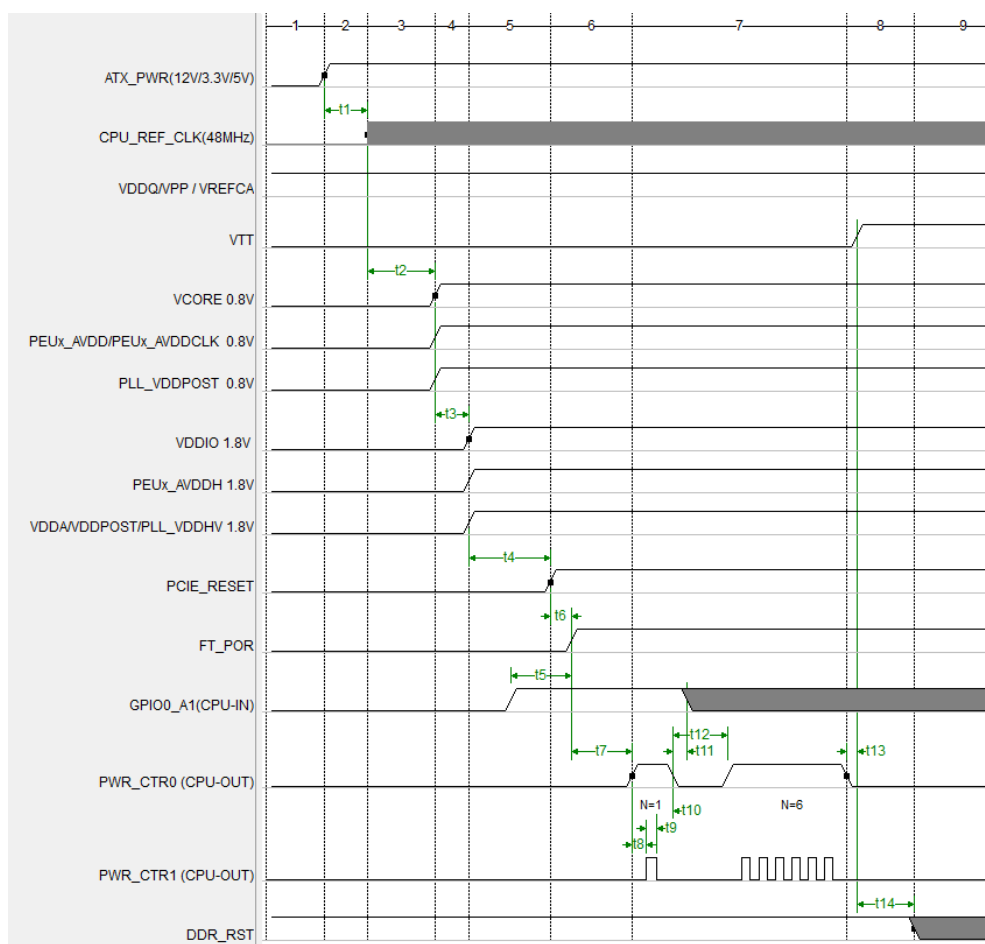


图 5.5 S3→S0 唤醒时序图

5.2 电源参数

D2000 系列处理器电源参数、电源设计请参考《腾锐 D2000 处理器硬件设计指导手册》。

CPU 使用 PWR_CTR[1:0]充当软件关机、重启、S3_OK_Clear 功能的引脚。系统启动后，PWR_CTR[1:0]会置为{0, 0}，然后 CPLD 或者主板独立控制器通过表 5-6 所示的通信协议进行相关操作。其中 S0、S3、S4、S5 描述见表 5-1。

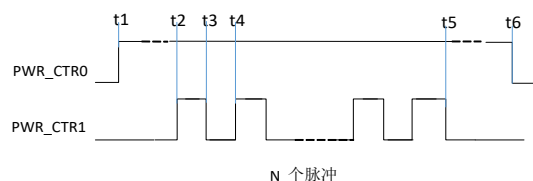


图 5.6 时序图

表 5-6 电源管理协议

状态	PWR_CTRL0	PWR_CTRL1	描述
reboot	1	4 个上升沿	在 PWR_CTRL0=1 期间，计数 4 个脉冲
S0→S3	1	8 个上升沿	在 PWR_CTRL0=1 期间，计数 8 个脉冲
S0→S4/S5	1	12 个上升沿	在 PWR_CTRL0=1 期间，计数 12 个脉冲
S0	0	x	正常工作状态，保持 PWR_CTRL0 为 0
发送 S3_OK_Clear	1	1 个上升沿	给 CPLD/EC 发送 S3_OK_Clear 信号
关闭 VTT	1	5 个上升沿	在 PWR_CTRL0=1 期间，计数 5 个脉冲
打开 VTT	1	6 个上升沿	在 PWR_CTRL0=1 期间，计数 6 个脉冲

表 5-7 时序要求

T	Min	Typ	Max	unit
t2-t1	1	2	5	ms
t3-t2	0.5	1	2	ms
t4-t3	0.5	1	2	ms
t6-t5	1	2	5	ms

注：为保证软件能进行正常的关机与重启，需将 PWR_CTRL[1:0]接入 CPLD 或者主板独立控制器，并配合相关逻辑代码实现。

5.3 电源关断

D2000 处理器分为多个电源域（Power Domain），支持软件控制的电源开启和关断。电源域的开关可以分为两种情况，一种为处理器复位以后，根据 OTP 的配置，进行静态关断，其作用主要是为了降级使用；一种为处理器使用过程中，在软件配置下，进行的动态关断，其主要作用是节约功耗。

5.3.1 动态关断

在处理器运行过程中，软件可以根据负载情况，对在静态配置中没有被关断的电源域，进行动态关断，以达到节约功耗的目的。D2000 通过动态电源域关断可实现的功耗模式如表 5-8 所示。

表 5-8 功耗模式

功耗模式	退出条件	关断电源域
内核掉电	中断	单个内核
Cluster 掉电	中断	Cluster 内 2 个内核及 L2
系统掉电	中断	所有可关断电源域，仅常开域工作，以实现系统待机休眠功能

5.4 动态频率调节

D2000 支持双 PLL 切换的动态频率调节，可以在基本时钟的基础上降频或升频。双 PLL 切换的动态调频每路时钟有两个 PLL，调频时将另一路不用的 PLL 配置为新的频率，等待 PLL 输出稳定后通过一个 glitch_free 的 mux 将时钟切到新配置的 PLL 上。

PHYTUM

6 温度管理

6.1 热参数

D2000 内部集成 2 个温度传感器，可以设置超温阈值，检测到超温后，通过 SCPI 命令通知操作系统进行相应的处理。处理器核在安全态下可以直接访问 TS 控制器，配置 TS 模式和参数，读取温度值。

温度传感器可读取的温度范围为 -40°C ~ 125°C ；精度为 $\pm 5^{\circ}\text{C}$ 。

7 电气特性

7.1 极限工作条件

- a) 核心电压 (VDDCORE) : -0.3~0.93V;
- b) 1.2V IO 电压范围 (VDD_Q) : -0.3~1.8V;
- c) 1.8V IO 电压范围 (VDDPST) : -0.3~2.0V;
- d) PCIe 模拟电压 (AVDD) : -0.3~1.98V;
- e) 1.8V 模拟电压 (AVDD_18) : -0.3~2.0V。

7.2 典型工作参数

表 7-1 典型工作参数

参数	符号	最小值	最大值	单位
IO 接口输入高电平	V _{IH}	1.17		V
IO 接口输入低电平	V _{IL}		0.63	V
IO 接口输出高电平	V _{OH}	1.35		V
IO 接口输出低电平	V _{OL}		0.45	V
商业级工作温度		0	85	°C
工业级工作温度		-40	105	°C

7.3 通用引脚 DC 电气特性

除 DDR 和 PCIe 专用信号引脚外, 其他信号引脚均为 COMS 结构的通用引脚, 其电气特性如表 7-2 所示, 主要包括输入敏感电压, 输出驱动电压等信息。

表 7-2 通用 pad 引脚电气特性

符号	符号描述	最小值	典型值	最大值	单位
V _{DDD}	I/O 电压	1.62	1.8	1.98	V
V _{IH}	高电平输入电压	0.65*V _{DDD}	-	V _{DDD} +0.3	V
V _{IL}	低电平输入电压	-0.3	-	0.35* V _{DDD}	V
V _{OH}	高电平输出电压	V _{DDD} -0.45	-	-	V
V _{OL}	低电平输出电压	0	-	0.45	V
I _I	输入漏电电流	-	-	±10μ	A
I _{OZ}	输出 Z 态漏电流	-	-	±10μ	A
I _{OL}	低电平输出电流	12.2	-	48.1	mA
I _{OH}	高电平输出电流	11.6	-	65.4	mA
V _{T+}	施密特低到高翻转点	-	1.05	-	V
V _{T-}	施密特高到低翻转点	-	0.76	-	V
	上拉电阻	31k	47k	84k	Ω
	下拉电阻	28k	41k	67k	Ω

7.4 DDR 引脚电气特性

表 7-3 DDR4 DC 输入电压

符号	符号描述	最小值	最大值	单位
VIH_DC	单端输入高电平 DC	$V_{ref}+0.075$	-	V
VIL_DC	单端输入低电平 DC	-	$V_{ref}-0.075$	V
VID_DC	差分信号电平绝对值	0.15	-	V

表 7-4 DDR4 AC 输入电压

符号	符号描述	最小值	最大值	单位
Vrefac_err	参考电压误差范围	-1%	+1%	VDDQ
VIH_AC	单端输入高电平 AC	$V_{ref}+0.1$	$VDDQ+0.12$	V
VIL_AC	单端输入低电平 AC	-0.12	$V_{ref}-0.1$	V
VID_AC	差分信号电平绝对值	0.2	-	V

表 7-5 LPDDR4 AC/DC 输入电压

符号	符号描述	最小值	最大值	单位
VIH_DC	单端输入高电平 DC	$0.75 \times VDDQ$	$VDD+0.2$	V
VIL_DC	单端输入低电平 DC	-0.2	$0.25 \times VDDQ$	V
VIH_AC	单端输入高电平 AC	$0.65 \times VDD$	$VDD+0.2$	V
VIL_AC	单端输入低电平 AC	-0.2	$0.35 \times VDD$	V
VID	差分信号电平绝对值	0.28	-	V

7.5 PCIe 引脚电气特性

表 7-6 PCIe 引脚电气特性

信号	描述	最小	典型	最大	单位
PEU0_LINKUP0	PCIe 控制器的 Linkup0 信号	如表 7-2			V
PEU0_LINKUP1	PCIe 控制器的 Linkup1 信号	如表 7-2			V
PEU0_LINKUP2	PCIe 控制器的 Linkup2 信号	如表 7-2			V
PEU1_LINKUP0	PCIe 控制器 1 的 Linkup0 信号	如表 7-2			V
PEU1_LINKUP1	PCIe 控制器 1 的 Linkup1 信号	如表 7-2			V
PEU1_LINKUP2	PCIe 控制器 1 的 Linkup2 信号	如表 7-2			V
PEU0_X16_TXP0~15	PEU0 X16 PMA lane0~15 发送器串行数据	如表 7-10			V
PEU0_X16_TXN0~15	PEU0 X16 PMA lane0~15 发送器串行数据	如表 7-10			V
PEU0_X1_TXP	PEU0 X1 PMA lane0 发送器串行数据	如表 7-10			V
PEU0_X1_TXN	PEU0 X1 PMA lane0 发送器串行数据	如表 7-10			V
PEU0_X16_RXP0~15	PEU0 X16 PMA lane0~15 接收器串行数据	如表 7-11			V
PEU0_X16_RXN0~15	PEU0 X16 PMA lane0~15 接收器串行数据	如表 7-11			V
PEU0_X1_RXP	PEU0 X1 lane0 发送器串行数据	如表 7-11			V

PEU0_X1_RXN	PEU0 X1 lane0 发送器串行数据	如表 7-11	V
PEU0_REFCLKP	PEU0 外部参考时钟	如表 7-8	MHz
PEU0_REFCLKN	PEU0 外部参考时钟	如表 7-8	MHz
PEU0_C0_CLKREQ	PEU0 C0 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	如表 7-2	V
PEU0_C1_CLKREQ	PEU0 C1 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	如表 7-2	V
PEU0_C2_CLKREQ	PEU0 C2 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	如表 7-2	V
PEU0_X1_ATB0	PEU0 X1 PMA 模拟测试总线	NC 悬空	
PEU0_X1_ATB1	PEU0 X1 PMA 模拟测试总线	NC 悬空	
PEU0_X16_ATB0	PEU0 X16 PMA 模拟测试总线	NC 悬空	
PEU0_X16_ATB1	PEU0 X16 PMA 模拟测试总线	NC 悬空	
PEU0_X1_REXT	PEU0 X1 PMA 外部校准电阻	如表 7-8	Ω
PEU0_X16_REXT	PEU0 X16 PMA 外部校准电阻	如表 7-8	Ω
PEU1_X16_TXP0~15	PEU1 X16 PMA lane0~15 发送器串行数据	如表 7-10	V
PEU1_X16_TXN0~15	PEU1 X16 PMA lane0~15 发送器串行数据	如表 7-10	V
PEU1_X1_TXP	PEU1 X1 PMA lane0 发送器串行数据	如表 7-10	V
PEU1_X1_TXN	PEU1 X1 PMA lane0 发送器串行数据	如表 7-10	V
PEU1_X16_RXP0~15	PEU0 X16 PMA lane0~15 接收器串行数据	如表 7-11	V
PEU1_X16_RXN0~15	PEU0 X16 PMA lane0~15 接收器串行数据	如表 7-11	V
PEU1_X1_RXP	PEU0 X1 PMA lane0 接收器串行数据	如表 7-11	V
PEU1_X1_RXN	PEU0 X1 PMA lane0 接收器串行数据	如表 7-11	V
PEU1_C0_CLKREQ	PEU1 C0 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	如表 7-2	V
PEU1_C1_CLKREQ	PEU1 C1 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上行和下行的 CLKREQ#输出的影响下游端口	如表 7-2	V
PEU1_C2_CLKREQ	PEU1 C2 此输入必须连接到共享 CLKREQ #bus, 使其状态反映合并上	如表 7-2	V

	行和下行的 CLKREQ#输出的影响下游端口		
PEU1_X1_ATB0	PEU1 X1 PMA 模拟测试总线	NC 悬空	
PEU1_X1_ATB1	PEU1 X1 PMA 模拟测试总线	NC 悬空	
PEU1_X16_ATB0	PEU1 X16 PMA 模拟测试总线	NC 悬空	
PEU1_X16_ATB1	PEU1 X16 PMA 模拟测试总线	NC 悬空	
PEU1_X1_REXT	PEU1 X1 PMA 外部校准电阻	如表 7-8	Ω
PEU1_X16_REXT	PEU1 X16 PMA 外部校准电阻	如表 7-8	Ω
PEU1_REFCLKP	PEU1 外部参考时钟	如表 7-8	MHz
PEU1_REFCLKN	PEU1 外部参考时钟	如表 7-8	MHz
注：PEU1_LINKUP[2:0]见表 2-6，该功能为 func2，非默认功能，使用时需要软件做相应配置。			

7.5.1 公用模块电气特性

表 7-7 内部参考时钟电平规范

名称	最小	典型	最大	单位	描述
C _{IN}			0.25	pF	输入电容值
V _{IH}	V _{cmn_avdd} -0.2			V	输入高电平值
V _{IL}			0.2	V	输入低电平值
T _{RISEFALL}			30	pS	20%到80%的上升时间和下降时间

表 7-8 外部参考时钟电平规范

名称	最小	典型	最大	单位	描述
R _{TERMEXT}	40	50	62.5	Ω	内部终端电阻
C _{INEXT}			5	pF	参考时钟输入阻抗的最大电容值
I _{INEXT}	6		16	mA	输入信号电流
V _{IHEXT}	200			mVpp	输入高阈值差分峰峰值
V _{ILEXT}			-200	mVpp	输入低阈值差分峰峰值
V _{REFCLK_MAX_TERM}			400	mV	当内部终端使能时，在参考时钟的 bump 上的最大信号端电压值

表 7-9 偏斜特性

名称	最小	典型	最大	单位	描述
R _{BIASEXT}	2.98	3.01	3.04	k Ω	需要的外部偏置电阻大小
C _{BIASEXT}			10	pF	在 R _{BIASEXT} 节点上的最大寄生电容值
V _{BIASEXT}	425	450	475	mV	在 R _{BIASEXT} 节点上的偏置电压

7.5.2 发送模块电气特性

表 7-10 发送模块电气特性

名称	最小	典型	最大	单位	描述
V _{TX_out_normal_mode}	0.8		1.2	V	正常模式下的输出电压峰峰值。
V _{TX_out_low_power_mode}	0.4		1.2	V	低功耗模式下的输出电压峰峰值。
Z _{TX_cal}	80	100	120	Ω	正常模式时，校准后的差分驱动阻抗。

7.5.3 接收模块电气特性

表 7-11 接收模块电气特性

名称	最小	典型	最大	单位	描述
Z _{RX_cal}	40	50	60	Ω	正常模式下，校准后的接收端阻抗（单端）
V _{AC_JTAG_IN}	215			mV	AC JTAG 模式下最小幅值

7.5.4 公共模块电气特性

表 7-12 公共模块电气特性

名称	最小	典型	最大	单位	描述
F _{REFEXT_PCIE_SSC}	99.97	100	100.03	MHz	扩频时钟模式下，PCIe 参考时钟频率
F _{REFEXT_PCIE}	19.1942	19.2	19.2058	MHz	无扩频模式下，PCIe 参考时钟频率
	23.9928	24.0	24.0072	MHz	
	24.9925	25.0	25.0075	MHz	
	97.9700	100	100.030	MHz	

7.5.5 校准外接电阻参考说明

表 7-13 校准外接电阻参考说明

名称	最小	典型	最大	单位	描述
R _{BMNREXT}	2.98	3.01	3.04	kΩ	外接电阻阻值要求
C _{BMNREXT}			10	pF	R _{BMNREXT} 节点最大寄生电容
V _{BMNREXT}	583	599.8	616	mV	R _{BMNREXT} 节点电压（仅在 R 处于校准期间）

8 封装特性说明

8.1 封装尺寸

D2000 的封装机械尺寸图如图 8.1 所示。

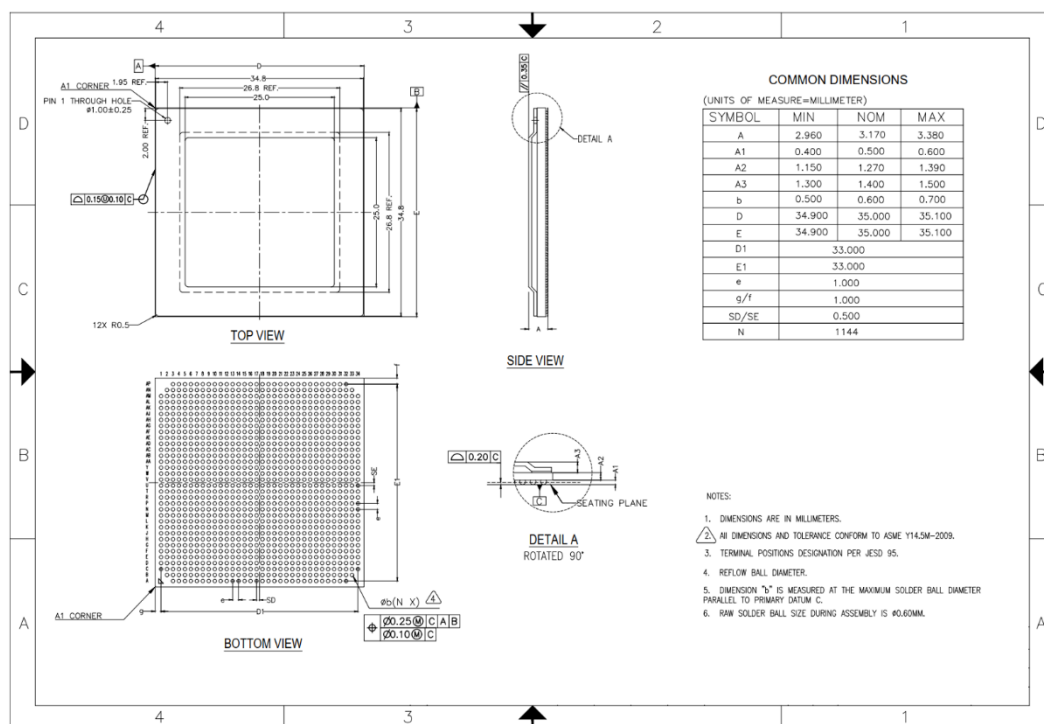


图 8.1 封装机械尺寸

8.2 扣合力

18.3kg

8.3 信号位置分布

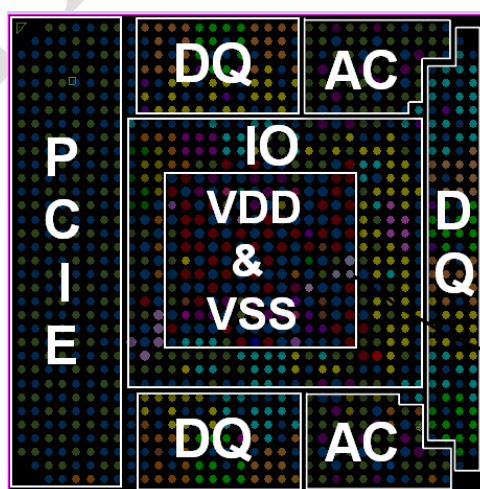


图 8.2 BGA MAP 分布图

	AP	AN	AM	AL	AK	AJ	AH	AG	AF	AE	AD	AC	AB	AA	Y	W	V	U	T	R	P	N	M	L	K	J	H	G	F	E	D	C	B	A
1																																		
2																																		
3																																		
4																																		
5																																		
6																																		
7																																		
8																																		
9																																		
10																																		
11																																		
12																																		
13																																		
14																																		
15																																		
16																																		
17																																		
18																																		
19																																		
20																																		
21																																		
22																																		
23																																		
24																																		
25																																		
26																																		
27																																		
28																																		
29																																		
30																																		
31																																		
32																																		
33																																		
34																																		

图 8.3 BGA MAP 结构图

9 产品标识

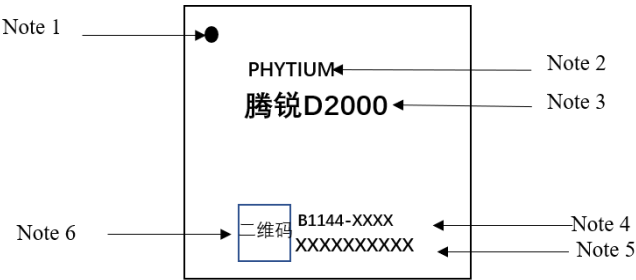


图 9.1 Marking 说明

表 9-1 丝印说明

Note 1	Pin 点		
Note 2	公司 LOGO		
Note 3	芯片产品名		
Note 4	B1144		封装球数
	XXXX	B8-C	腾锐 D2000/8 睿频版
		E8-C	腾锐 D2000/8 标准版
		S8-C	腾锐 D2000/8 标准网安版
		S8-I	腾锐 D2000/8 工业级网安版
		S4-C	腾锐 D2000/4 网安版
Note 5	芯片生产批次		
Note 6	芯片二维码记录散热盖，基板等信息		