

# D2000 硬件设计 指导手册

(V0.8 draft)

2020 年 12 月

天津飞腾信息技术有限公司

[www.phytium.com.cn](http://www.phytium.com.cn)

版权所有© 天津飞腾信息技术有限公司 2020

此文档用于指导用户的相关应用和开发工作。天津飞腾信息技术有限公司对此文档内容拥有版权，并受法律保护

免责声明©天津飞腾信息技术有限公司对本文档内容有解释权，且保留持续修改的权利

## 当前版本

|      |             |
|------|-------------|
| 文件标识 |             |
| 当前版本 | <b>V0.8</b> |
| 完成日期 | 2020.12.29  |

## 版本历史

| 版本   | 修订时间       | 修订人 | 修订章节        | 修订内容  |
|------|------------|-----|-------------|---|
| V0.5 | 2020.8.12  |     |             |   |
| V0.6 | 2020.11.13 |     |             |   |
| V0.7 | 2020.12.09 |     | 6.电源        | 1.增加表 6-1 不同产品形态的核心电源 VDD 参数<br>2.增加 VTT 电源须独立控制的说明 |
| V0.8 | 2020.12.23 |     | 3. 低速 IO 接口 | 1.增加 DIMM 条位置与 I2C 地址的对应关系<br>2.增加 SD 卡双向接口保护电阻说明   |
|      |            |     |             |   |
|      |            |     |             |   |
|      |            |     |             |   |
|      |            |     |             |   |
|      |            |     |             |   |
|      |            |     |             |   |
|      |            |     |             |   |
|      |            |     |             |   |

# 目 录

|          |                        |           |
|----------|------------------------|-----------|
| <b>1</b> | <b>概要 .....</b>        | <b>1</b>  |
| <b>2</b> | <b>平台框图 .....</b>      | <b>2</b>  |
| <b>3</b> | <b>低速 IO 接口 .....</b>  | <b>3</b>  |
| 3.1      | I2C 接口 .....           | 3         |
| 3.2      | QSPI 布线要求 .....        | 4         |
| 3.3      | LPC 布线要求 .....         | 4         |
| 3.4      | SPI 信号布线要求 .....       | 5         |
| 3.5      | RGMII 布线要求 .....       | 5         |
| 3.6      | SD 接口 .....            | 5         |
| <b>4</b> | <b>PCIE 接口 .....</b>   | <b>6</b>  |
| 4.1      | 拆分方式 .....             | 6         |
| 4.2      | PCIE 连接配置 .....        | 6         |
| 4.3      | AC 电容、校准电阻要求 .....     | 6         |
| 4.4      | 布线要求 .....             | 7         |
| 4.4.1    | 阻抗要求 .....             | 7         |
| 4.4.2    | 耦合电容摆放要求 .....         | 7         |
| 4.4.3    | 走线间距要求 .....           | 7         |
| 4.4.4    | 走线等长要求 .....           | 8         |
| 4.4.5    | 信号过孔要求 .....           | 8         |
| 4.4.6    | 走线参考要求 .....           | 8         |
| <b>5</b> | <b>DDR4 内存接口 .....</b> | <b>10</b> |
| 5.1      | 特性 .....               | 10        |
| 5.2      | PCB 布局 .....           | 10        |
| 5.3      | 布线参考 .....             | 11        |
| 5.4      | 阻抗要求 .....             | 12        |
| 5.4.1    | 单端微带线 .....            | 12        |

|          |                 |           |
|----------|-----------------|-----------|
| 5.4.2    | 差分微带线.....      | 13        |
| 5.4.3    | 单端带状线.....      | 13        |
| 5.4.4    | 差分带状线.....      | 13        |
| 5.5      | 交换准则.....       | 14        |
| 5.6      | 内存布线长度约束.....   | 15        |
| <b>6</b> | <b>电源 .....</b> | <b>16</b> |
| 6.1      | 电源参数.....       | 16        |
| 6.2      | 设计要点.....       | 16        |

## 图目录

|        |                            |    |
|--------|----------------------------|----|
| 图 2.1  | D2000 硬件平台框图.....          | 2  |
| 图 3.1  | I2C_0 连接设备.....            | 3  |
| 图 3.2  | I2C_1 连接 RTC.....          | 4  |
| 图 3.3  | LPC 连接方式.....              | 4  |
| 图 4.1  | 外部校准电阻.....                | 6  |
| 图 4.2  | 芯片扇出线示意图.....              | 7  |
| 图 4.3  | 耦合电容摆放示意图.....             | 7  |
| 图 4.4  | 耦合电容摆放参考.....              | 7  |
| 图 4.5  | 等长绕线参考.....                | 8  |
| 图 4.6  | 等长绕线参考.....                | 8  |
| 图 4.7  | 回流孔摆放参考.....               | 8  |
| 图 4.8  | 跨平面参考处理.....               | 9  |
| 图 5.1  | DDR Ball Map Top view..... | 10 |
| 图 5.2  | 内存槽芯片两侧布局.....             | 11 |
| 图 5.3  | 内存槽芯片一侧布局.....             | 11 |
| 图 5.4  | 内存两侧布线示意图（内存两层布线）.....     | 12 |
| 图 5.5  | 内存一侧布线示意图（内存四层布线）.....     | 12 |
| 图 5.6  | 单端微带线.....                 | 12 |
| 图 5.7  | 差分微带线.....                 | 13 |
| 图 5.8  | 单端带状线.....                 | 13 |
| 图 5.9  | 差分带状线.....                 | 13 |
| 图 5.10 | DDR 校准电阻.....              | 15 |
| 图 6.1  | PCIe 电源连接方法.....           | 16 |
| 图 6.2  | AVDDCLK 电源放置的电容位置.....     | 17 |
| 图 6.3  | 电容放置方式.....                | 17 |

## 表目录

|       |                         |    |
|-------|-------------------------|----|
| 表 3-1 | I2C 地址分配 .....          | 3  |
| 表 3-2 | QSPI 接口布线建议.....        | 4  |
| 表 3-3 | SPI 接口布线建议 .....        | 5  |
| 表 3-4 | RGMII 布线要求 .....        | 5  |
| 表 4-1 | PCIe 拆分模式表 .....        | 6  |
| 表 4-3 | PCIe 链路 AC 耦合电容.....    | 6  |
| 表 5-1 | D2000 主板配置 .....        | 10 |
| 表 5-2 | 单端微带线 .....             | 13 |
| 表 5-3 | 差分微带线 .....             | 13 |
| 表 5-4 | 单端带状线 .....             | 13 |
| 表 5-5 | 差分带状线 .....             | 13 |
| 表 5-6 | Slice 分组表 .....         | 14 |
| 表 5-7 | 布线长度约束 .....            | 15 |
| 表 6-1 | 不同产品形态的核心电源 VDD 参数..... | 16 |
| 表 6-2 | 电源参数 .....              | 16 |

## 1 概要

本文针对 D2000 平台硬件设计中的关键点进行了阐述。旨在提供在原理图设计、板级设计阶段需要遵循的基本规则，减少用户在设计阶段的疑惑以及不确定性，增加设计可靠性。

PHYTIUM

## 2 平台框图

D2000 可以根据实际应用需求，设计出不同的硬件配置。如图 2.1 所示，给出了一种典型 D2000 硬件平台方案。具体设计可以根据需求裁剪、添加、替换外设模块。用户可以根据具体应用灵活调整。

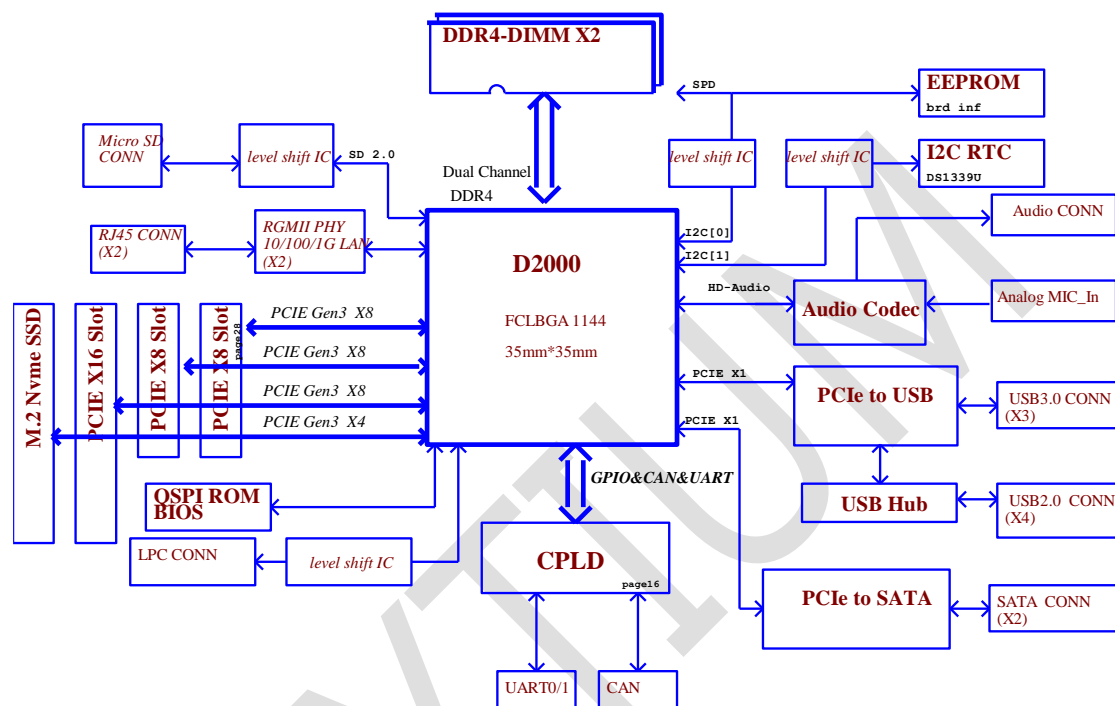


图 2.1 D2000 硬件平台框图



### 3 低速 IO 接口

#### 3.1 I2C 接口

上电启动后，进入初始化流程。I2C\_0 总线首先读取内存 SPD 信息，用来初始化内存。连接拓扑如图 3.1 所示。为了保证兼容性，请按照表 3-1 对各 I2C 设备进行地址分配。可以在总线上挂接一个存储配置 EEPROM，该功能为可选项，用户依据实际情况而定。

CPU 的 I2C 接口为 1.8V 的 IO 电平类型，若外接的设备不兼容 1.8V 电平，需使用 I2C 专用电平转换芯片进行电平转换。

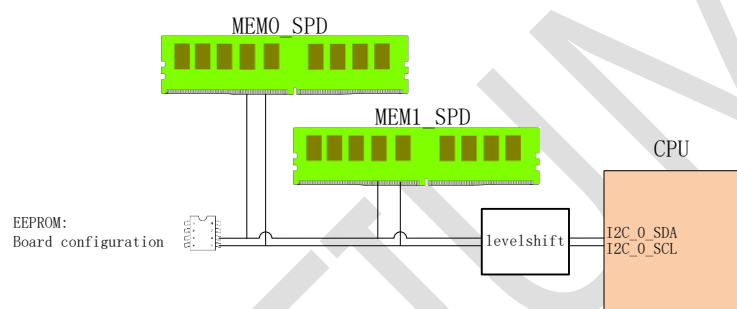


图 3.1 I2C\_0 连接设备

表 3-1 I2C 地址分配

| 设备             |       | SA[2:0] |
|----------------|-------|---------|
| MEM0           | DIMM0 | 000     |
|                | DIMM1 | 100     |
| MEM1           | DIMM0 | 001     |
|                | DIMM1 | 101     |
| EEPROM (2Kbit) |       | 111     |

注：DIMM0 为远离 CPU 侧的内存条，DIMM1 为靠近 CPU 侧的内存条，在仅使用一根内存条时建议使用远离 CPU 侧的内存条。

为了保证兼容性，RTC(real-time clock) 单元连接在 I2C\_1 接口上，系统通过该接口获取时间信息。如下图所示。

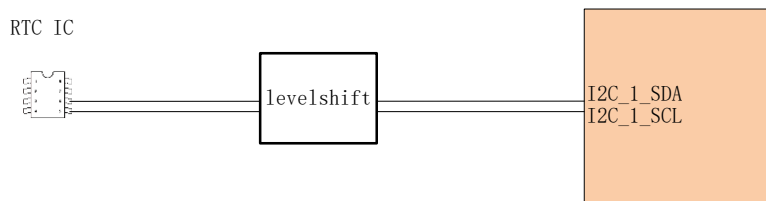


图 3.2 I2C\_1 连接 RTC

### 3.2 QSPI 布线要求

表 3-2 QSPI 接口布线建议

| 信号   | 布线建议                       |
|--|----------------------------|
| QSPI_SCK   | 布线长度建议小于 7 inch            |
| QSPI_SO_IO0、QSPI_SI_IO1、QSPI_WP_IO2、<br>QSPI_HOLD_IO3、QSPI_CSN[3:0]、 | 与 QSPI_SCK 布线偏差建议小于 1 inch |

备注：QSPI\_CSN0 仅作为 CPU BOOT 使用。

### 3.3 LPC 布线要求

时钟由外部供给 33Mhz 时钟，同一时钟可分别给 CPU 和 LPC 设备，在外部设备为 3.3V 电平时，如图 3.3 所示。

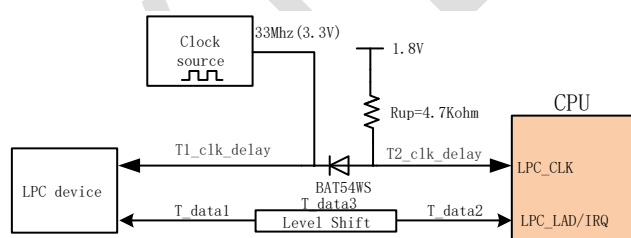


图 3.3 LPC 连接方式

如上图所示,时钟到设备与时钟到 CPU 之间的边沿的偏差  $\Delta t = |T2\_clk\_delay - T1\_clk\_delay|$ 。数据线（包括 Frame、LAD[3:0]、SerIrq、LDrq）延迟为  $T\_Data = T\_Data1 + T\_Data2 + T\_Data3$ 。

需要满足如下两个条件：

$$1) \Delta t < 1ns$$

$$2) \Delta t < T\_Data < Tclk \text{ (} Tclk \text{ 为时钟周期, 时钟频率为 33Mhz 时, } Tclk \text{ 约为 } 33.3ns \text{)}$$

双向管脚到电平转换芯片间需要加 50 欧姆电阻进行保护，防止方向切换时存在电源到地的短路路径。

### 3.4 SPI 信号布线要求

表 3-3 SPI 接口布线建议

| 信号                   | 布线建议                      |
|----------------------|---------------------------|
| SPI_SCK              | 布线长度建议小于 7 inch           |
| SPI_SO、SPI_CSN[3:0]、 | 与 SPI_CLK 布线偏差建议小于 1 inch |
| SPI_SI               | 布线长度建议小于 7 inch           |

### 3.5 RGMII 布线要求

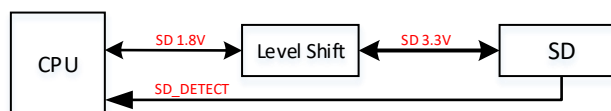
为了保证 RGMII 接口与 PHY 能正常通信，建议按照下表中的参数进行设计。

表 3-4 RGMII 布线要求

| 信号                            | 建议等长   | 布线阻抗                |
|-------------------------------|--|---------------------|
| GTX_CLK<br>TXD[3:0]<br>TX_CTL | TXD[3:0]、TX_CTL 与 GTX_CLK 相差-250mils 到 250mils | $50\Omega \pm 10\%$ |
| RX_CLK<br>RXD[3:0]<br>RX_CTL  | RXD[3:0]、RX_CTL 与 RX_CLK 相差-250mils 到 250mils  | $50\Omega \pm 10\%$ |
| MDC<br>MDIO                   | MDIO 与 MDC 相差-250mils 到 250mils                | $50\Omega \pm 10\%$ |

### 3.6 SD 接口

D2000 支持 SD 接口支持 SD 2.0 协议，接口电平为 1.8V，在接外部 SD 卡时建议使用双向电平转换芯片进行电平转换。双向管脚到电平转换芯片间需要加 50 欧姆电阻进行保护，防止方向切换时存在电源到地的短路路径。



注：SD 控制器仅 SD\_DETECT 引脚支持插拔检测。

## 4 PCIe 接口

### 4.1 拆分方式

D2000 支持 34 lanes PCIe Gen3.0。PCIe 拆分模式如表 4-1 所示。

PCIe 拆分后支持链路翻转，在各拆分模式下至少保证一个 port 的首 lane 或尾 lane 存在电气连接。

表 4-1 PCIe 拆分模式表

| PCIe           | 拆分模式 |    |
|----------------|------|----|
| PEU0_X1[0]     | X1   |    |
| PEU0_X16[0:15] | X16  |    |
|                | X8   | X8 |
| PEU1_X1[0]     | X1   |    |
| PEU1_X16[0:15] | X16  |    |
|                | X8   | X8 |

### 4.2 PCIe 连接配置

与 PCIe 相关的时钟输入分别为 FT\_PEU1\_CLK{P/N}、FT\_PEU0\_CLK{P/N}，CPU 正常运行时，无论 PCIe 接口下是否接入设备，该两个输入端都需要有时钟输入且输入时钟须与设备的输入时钟同源。

### 4.3 AC 电容、校准电阻要求

输出端到接收端之间，PCIe 采用交流耦合的方式。具体要求如表 4-2 所示。

表 4-2 PCIe 链路 AC 耦合电容

| 最小值   | 最大值   | 建议值   | 封装   | 精度  |
|-------|-------|-------|------|-----|
| 176nF | 265nF | 220nF | 0402 | 10% |

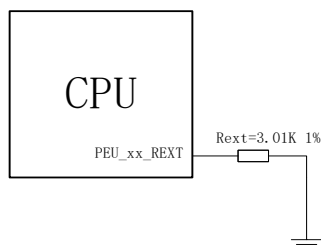


图 4.1 外部校准电阻

如图 4.1所示，CPU外接电阻值为3.01K $\Omega$ ，精度为1%的校准电阻。外部校准电阻要求尽可能靠近CPU引脚，走线避开高速信号等干扰源。

## 4.4 布线要求

### 4.4.1 阻抗要求

差分数据信号阻抗： $85\Omega \pm 10\%$

芯片扇出部分走线阻抗可不作严格控制，但是建议尽量缩短扇出线部分的走线长度。

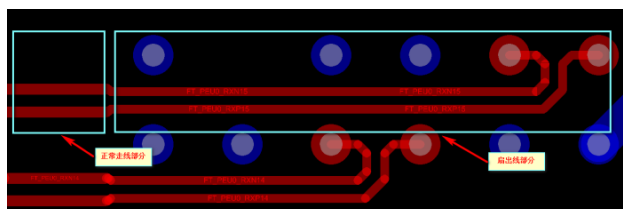


图 4.2 芯片扇出线示意图

### 4.4.2 耦合电容摆放要求

PCIe需要在发送端和接收端之间放置交流耦合电容。对于主板来说，TX差分对上的AC耦合电容摆放在主板上，RX上的AC耦合电容摆放在相应的PCIe设备端。

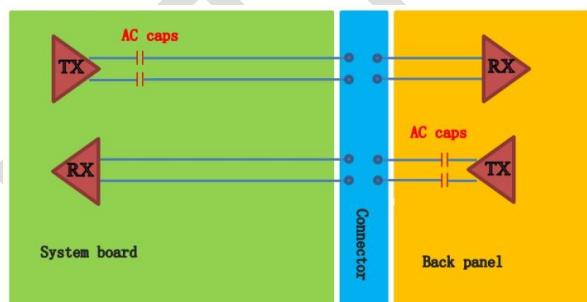


图 4.3 耦合电容摆放示意图

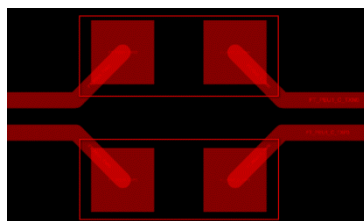


图 4.4 耦合电容摆放参考

### 4.4.3 走线间距要求

PCIe差分对之间的走线间距（走线边缘距离） $S \geq \text{Max}(4W, 4H)$ ，W为信号线宽度，H为走线距离最近参考平面的高度。尽量远离开关电源的开关管和电感等噪声源。TX和RX建议走在不同层，或者隔开尽可能远的距离。差分对P和N必须在

同一层，并按照差分约束布线。

#### 4.4.4 走线等长要求

从布线长度考虑，差分对P和N两条布线总长度之差不能超过4mils。建议扇出时，对较短的走线进行一定的等长补偿。两种等长绕线的参考如图 4.5和图 4.6所示。

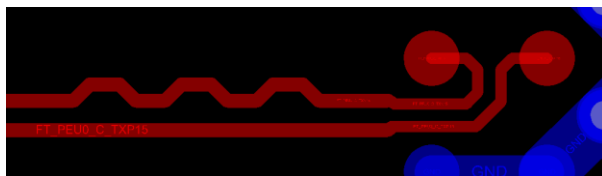


图 4.5 等长绕线参考

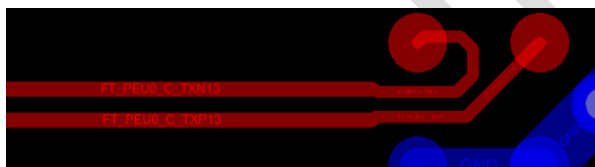


图 4.6 等长绕线参考

#### 4.4.5 信号过孔要求

信号如果需要打孔换层，建议在换层孔附近添加回流孔，回流孔尽量靠近信号孔。如果使用过孔换层，需考虑过孔残桩，残桩长度应小于100mils。

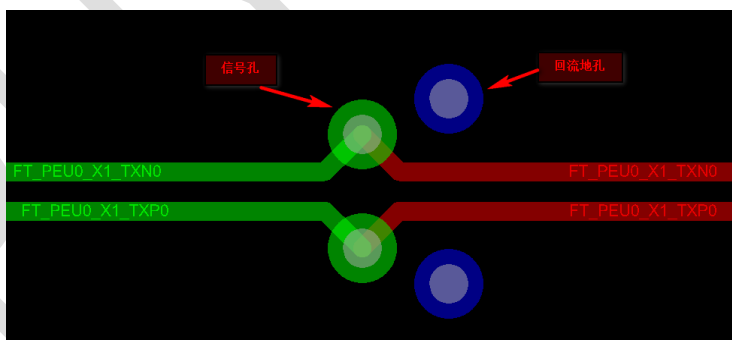


图 4.7 回流孔摆放参考

#### 4.4.6 走线参考要求

走线参考GND，保证参考平面完整，不允许有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

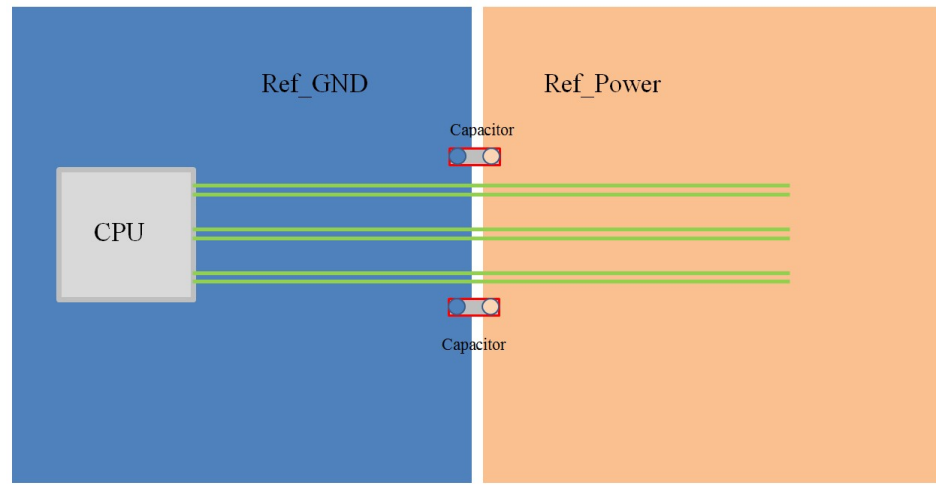


图 4.8 跨平面参考处理

## 5 DDR4 内存接口

### 5.1 特性

D2000支持RDIMM/UDIMM/SODIMM等内存形式。在器件布局、阻抗控制等方面提出相应的建议并给出具体的实施方案和相应的指标要求。

该设计指导中所针对的硬件系统具体配置信息如下表所示。

表 5-1 D2000 主板配置

| 参数   | DDR4 具体配置        |
|------|------------------|
| 芯片   | D2000            |
| 内存类别 | DDR4 UDIMM\RDIMM |
| 速率   | 2666 Mbps        |
| 通道   | A 和 B            |
| 内存电压 | 1.2 V            |

### 5.2 PCB 布局

D2000 芯片两个 DDR4 通道的引脚分布如图 5.1 所示（红色和蓝色标注的引脚）。两个内存通道布线可以根据芯片 ball map 设计分别对称布在芯片两侧，如图 5.2 所示；也可布在芯片同一侧，如图 5.3 所示。

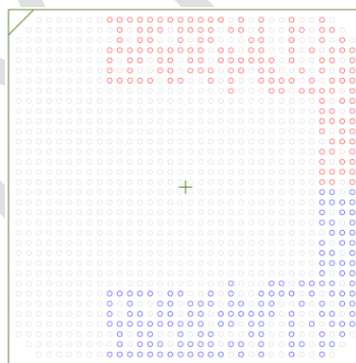


图 5.1 DDR Ball Map Top view



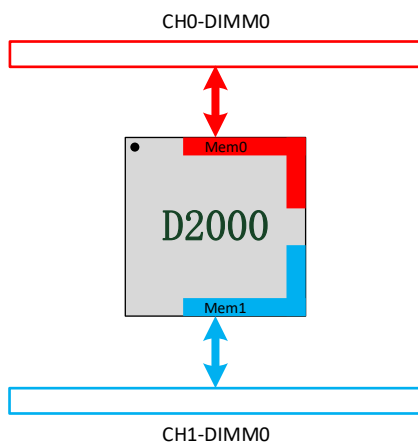


图 5.2 内存槽芯片两侧布局

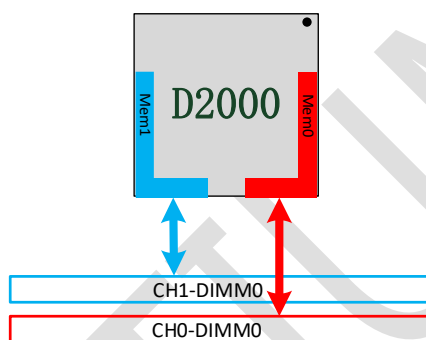


图 5.3 内存槽芯片一侧布局

### 5.3 布线参考

根据图 5.1 中所示引脚分布的特点，以及走线间距的约束。内存分两侧布线需要 2 层走线，如图 5.4 所示。若内存分一侧出线，需要 4 层走线。如图 5.5 所示。两侧布线相对一侧布线的方式可省两层布线层，降低了成本，同时走线更短，有利于提高信号质量。若结构无特殊要求的情况下，建议两侧布线的形式，即图 5.2 和图 5.4 的布局布线形式。

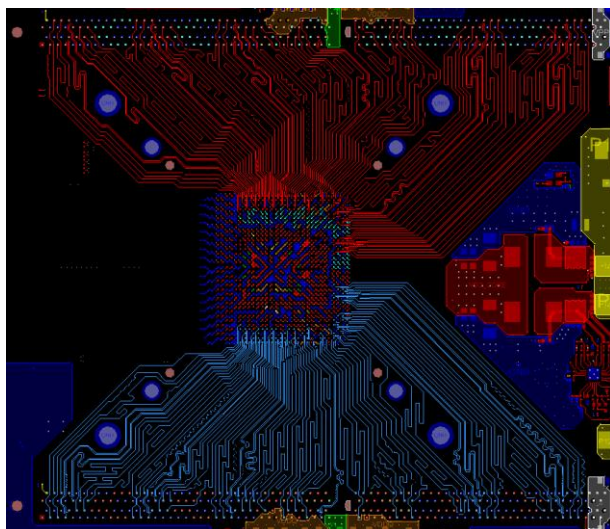


图 5.4 内存两侧布线示意图（内存两层布线）

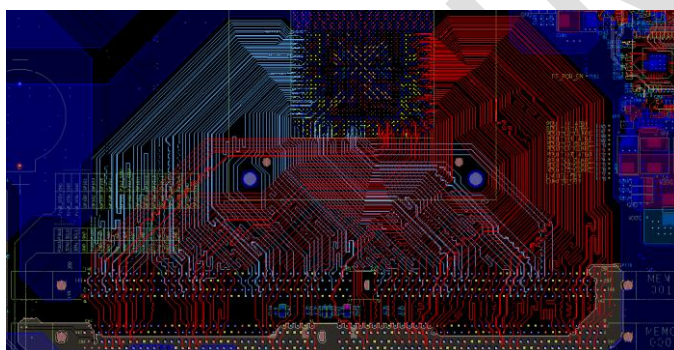


图 5.5 内存一侧布线示意图（内存四层布线）

## 5.4 阻抗要求

DDR 走线的阻抗需满足如下要求：单端线阻抗  $45\Omega \pm 10\%$ ，差分线阻抗  $75\Omega \pm 10\%$ 。同时为了减少 DDR 走线之间的串扰，单端走线间距  $S \geq \text{Max}(3W, 3H)$ ， $W$  为信号线宽度， $H$  为走线距离最近参考平面的高度。芯片下的引脚扇出和内存插槽，可适当放宽要求。

如下列举一种布线的例子。供用户参考。

### 5.4.1 单端微带线



图 5.6 单端微带线

表 5-2 单端微带线

| 微带线 | 介电常数<br>Dk | 介质厚度<br>H/mils | 走线宽度<br>W/mils | 走线厚度<br>T/oz | 走线间距<br>S/mils | 单端阻抗<br>$\Omega$ |
|-----|------------|----------------|----------------|--------------|----------------|------------------|
| 单端线 | 3.7        | 3.0            | 5.8            | 0.3+plating  | 17.4           | 45               |

5.4.2 差分微带线

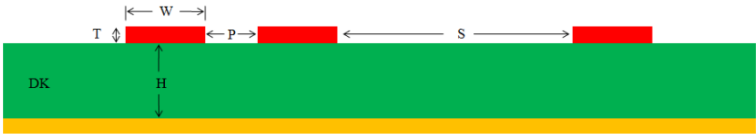


图 5.7 差分微带线

表 5-3 差分微带线

| 微带线 | 介电常数<br>Dk | 介质厚度<br>H/mils | 走线宽度<br>W/mils | 差分线间距<br>P/mils | 走线厚度<br>T/oz | 走线间距<br>S/mils | 差分阻抗<br>$\Omega$ |
|-----|------------|----------------|----------------|-----------------|--------------|----------------|------------------|
| 差分线 | 3.7        | 3.0            | 6              | 5               | 0.3+plating  | 18             | 75               |

5.4.3 单端带状线

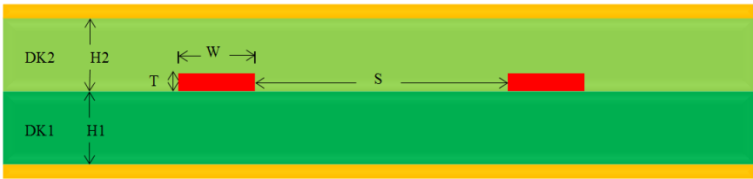


图 5.8 单端带状线

表 5-4 单端带状线

| 带状线 | 介电常数<br>Dk1 | 介质厚度<br>H1/mils | 介电常数<br>Dk2 | 介质厚度<br>H2/mils | 走线宽度<br>W/mils | 走线厚度<br>T/oz | 走线间距<br>S/mils | 单端阻抗<br>$\Omega$ |
|-----|-------------|-----------------|-------------|-----------------|----------------|--------------|----------------|------------------|
| 差分线 | 3.7         | 5.12            | 3.8         | 5.52            | 5              | 1.0          | 15             | 45               |

5.4.4 差分带状线

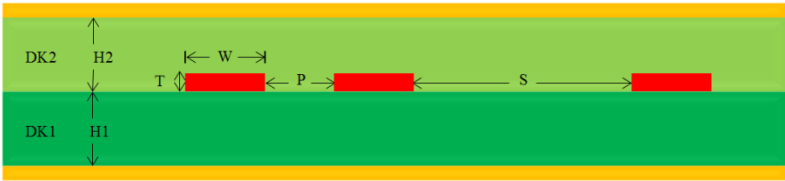


图 5.9 差分带状线

表 5-5 差分带状线

| 带状线 | 介电常数<br>Dk1 | 介质厚度<br>H1/mils | 介电常数<br>Dk2 | 介质厚度<br>H2/mils | 走线宽度<br>W/mils | 走线厚度<br>T/oz | 差分线间距<br>P/mils | 走线间距<br>S/mils | 差分阻抗<br>$\Omega$ |
|-----|-------------|-----------------|-------------|-----------------|----------------|--------------|-----------------|----------------|------------------|
| 差分线 | 3.7         | 5.12            | 3.8         | 5.52            | 5.5            | 1            | 4.5             | 16.5           | 75               |

- 注：1. 阻抗数值是根据叠层厚度、介电常数以及线宽进行计算得到，表格中数值仅供参考，建议按照实际叠层及线宽控制阻抗。
2. 微带线由于表面覆盖绿油的原因，会导致实际阻抗较计算值小，且每个板厂的影响不同，建议联系相应板厂进行调整，该表中给出阻抗是已考虑绿油影响下的阻抗。
3. 信号线需保证完整的参考平面，且不可出现跨越参考平面的情况。
4. 信号线打孔换层时，需保证换层后参考平面仍保持一致，如果不一致则需用回流孔将换层前后的参考平面连接起来。

## 5.5 交换准则

若按照 8bit 划分为一个 slice，一个通道 72bit 可划分为 9 个 slice。如表表 5-6 所示，每组 slice 内有 12 个信号，以下准则是基于该划分。

### ➤ X8、X16 内存交换准则

- DQ交换：在进行X8兼容内存的设计时，slice内部的8个DQ可以自由互换。
- Slice交换：slice[0:7]可以进行slice之间交换。Slice[8]为ECC用途，不能与其它slice交换。若用户需要使用ECC的内存条，slice[8]必须与DIMM条上的slice [8]进行连接。若确认无需ECC功能，将slice [8]信号浮空即可。

### ➤ X4、X8、X16 内存交换准则

- DQ交换：每个slice可以再细拆分为低4位和高4位两组，分别为slice[n]\_L与slice[n]\_H，如表 5-6所示。slice[n]\_L内的DQ之间可以互相交换，slice[n]\_H内的DQ之间可以互相交换。但不能slice[n]\_L内的DQ与slice[n]\_H内的DQ进行交换。
- Slice交换：slice[0:7]可以进行slice之间交换。Slice[8]为ECC用途，不能与其它slice交换。若用户需要使用ECC的内存条，slice[8]必须与DIMM条上的slice [8]进行连接。若确认无需ECC功能，可以将slice [8]信号浮空即可。

由上可见，“X8、X16 兼容内存交换准则”相对宽松和灵活，但不一定能兼容 X4，最终需要采用何种准则，需依据用户具体需求而定。用户在不确定未来可能采用何种内存类型时候，建议遵循“X4、X8、X16 内存交换准则”获取最好的兼容性。

表 5-6 Slice 分组表

| Slice[n] | Slice[n]_L               | Slice[n]_H               | 备注 |
|----------|--------------------------|--------------------------|----|
| 0        | S0_DQ[0:3]、DQS0_C、DQS0_T | S0_DQ[4:7]、DQS9_C、DQS9_T | 数据 |

|   |                          |                            |     |
|---|--------------------------|----------------------------|-----|
| 1 | S1_DQ[0:3]、DQS1_C、DQS1_T | S1_DQ[4:7]、DQS10_C、DQS10_T | 数据  |
| 2 | S2_DQ[0:3]、DQS2_C、DQS2_T | S2_DQ[4:7]、DQS11_C、DQS11_T | 数据  |
| 3 | S3_DQ[0:3]、DQS3_C、DQS3_T | S3_DQ[4:7]、DQS12_C、DQS12_T | 数据  |
| 4 | S4_DQ[0:3]、DQS4_C、DQS4_T | S4_DQ[4:7]、DQS13_C、DQS13_T | 数据  |
| 5 | S5_DQ[0:3]、DQS5_C、DQS5_T | S5_DQ[4:7]、DQS14_C、DQS14_T | 数据  |
| 6 | S6_DQ[0:3]、DQS6_C、DQS6_T | S6_DQ[4:7]、DQS15_C、DQS15_T | 数据  |
| 7 | S7_DQ[0:3]、DQS7_C、DQS7_T | S7_DQ[4:7]、DQS16_C、DQS16_T | 数据  |
| 8 | S8_DQ[0:3]、DQS8_C、DQS8_T | S8_DQ[4:7]、DQS17_C、DQS17_T | ECC |

内存 LMUx\_BP\_ZN 采用 240 欧姆 1%精度的外部校准电阻与地连接，要求尽可能靠近引脚，避免外部干扰。

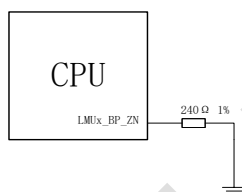


图 5.10 DDR校准电阻

## 5.6 内存布线长度约束

表 5-7 布线长度约束

| 信号                  | 布线阻抗要求 | 布线等长要求   |
|---------------------|--------|--|
| Clock               | 75Ω    | 差分对之间长度偏差<4mils  |
| CS,ODT,CKE,CMD/ADDR | 45Ω    | 与 clock 长度偏差<40mils  |
| DQ                  | 45Ω    | 同一 slice 内部 DQ 相对 DQS 的偏差<20mils<br>最大长度 6000mils                            |
| DQS                 | 75Ω    | 差分对之间长度偏差<4mils; $L_{\text{clock}} - L_{\text{DQS}} \leq 0-7.5 \text{ inch}$ |

注： $L_{\text{clock}}$  为时钟信号总长度； $L_{\text{DQS}}$  为 DQS 信号总长度；

## 6 电源

### 6.1 电源参数

表 6-1 不同产品形态的核心电源 VDD 参数

| 产品型号              | 最小值(V) | 典型值(V) | 最大值(V) | 最大电流 |
|-------------------|--------|--------|--------|------|
| 腾锐 D2000/8 睿频版    |        | 0.88   |        | 38A  |
| 腾锐 D2000/8 标准版    |        | 0.88   |        | 34A  |
| 腾锐 D2000/8 标准网安版  |        | 0.88   |        | 34A  |
| 腾锐 D2000/8 工业级标准版 |        | 0.8    |        | 27A  |
| 腾锐 D2000/4 网安版    |        | 0.88   |        | 20A  |
| 腾锐 D2000/4 工业级网安版 |        | 0.8    |        | 16A  |

表 6-2 电源参数

| 参数                  | 符号  | 最小值(V) | 典型值(V) | 最大值(V) | 最大电流值  |
|---------------------|---|--------|--------|--------|--------|
| 内存电源 <sup>[1]</sup> | VDDQ  |        | 1.2    |        | 1330mA |
| 温度传感器电源             | VDDA  |        | 1.8    |        | 2mA    |
| IO 电源               | VDDPST  |        | 1.8    |        | 160mA  |
| PLL 模拟电源            | PLL_VDDHV   |        | 1.8    |        | 32mA   |
| PCIe 模拟电源           | PEU1_X1_AVDDH<br>PEU0_X16_AVDDH<br>PEU1_X16_AVDDH |        | 1.8    |        | 256mA  |
| PLL 数字电源            | PLL_VDDPOST                                       |        | 0.8    |        | 79mA   |
| PCIe 模拟电源           | PEU0_X16_AVDD<br>PEU1_X16_AVDD                    |        | 0.8    |        | 1026mA |
| PCIe 高速时钟电源         | PEU0_X16_AVDDCLK<br>PEU1_X16_AVDDCLK              |        | 0.8    |        | 532mA  |

注[1]: 内存电源VDDQ参数仅为CPU电流, 不包含内存颗粒部分, 设计时应根据具体内存情况设计电源。

### 6.2 设计要点

- ◆ 建议 PCIE 电源连接方如下图 6.1, FB2、FB3 磁珠推荐参数:  
120Ω/100Mhz Rdc <= 20mOhm。

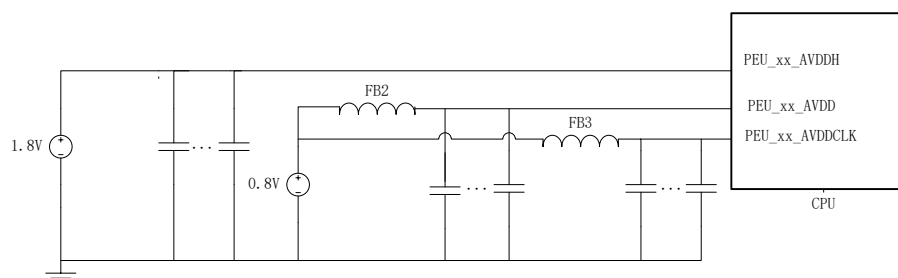


图 6.1 PCIe电源连接方法

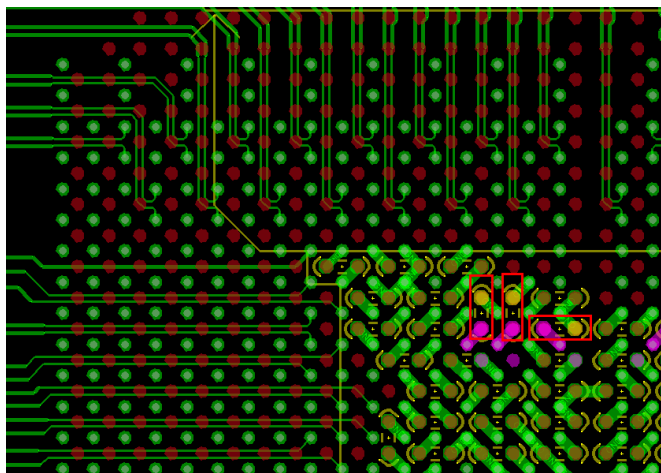


图 6.2 AVDDCLK电源放置的电容位置

- ◆ 如下图 6.3 所示，电源的去耦电容位于 CPU 背面，尽可能靠近引脚。

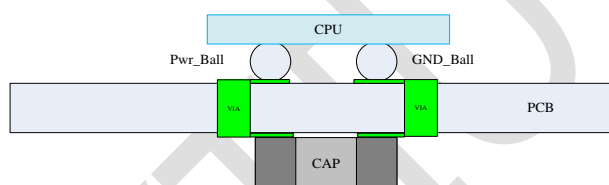


图 6.3 电容放置方式

- ◆ 为满足 CPU 的上电时序和下电时序。DIMM 条的 VTT 电源使能信号须进行独立控制，不与其它使能信号共享。具体时序要求参考《腾锐 D2000 数据手册》